

IN THE U.S. PATENT AND TRADEMARK OFFICE

*Handwritten initials*

JC930 U.S. PRO  
09/708435



Applicant(s): HUANG, Hong-Yi

Application No.:

Group:

Filed: November 9, 2000

Examiner:

For: RECEIVER AND TRANSMITTER IN A TRANSMISSION SYSTEM

L E T T E R

Assistant Commissioner for Patents  
Box Patent Application  
Washington, D.C. 20231

November 9, 2000  
0941-0187P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	89108589	05/05/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: *Joe McKinney Muncy*

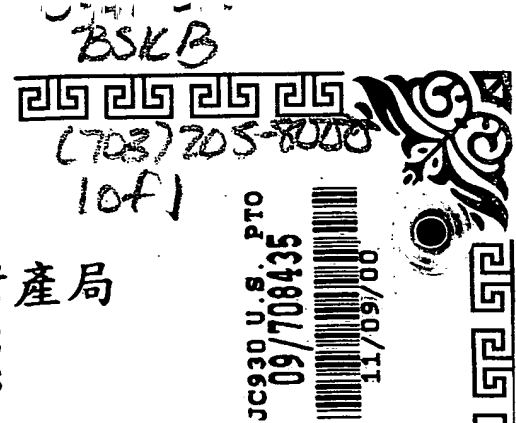
JOE MCKINNEY MUNCY

Reg. No. 32,334

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/djm



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 05 月 05 日  
Application Date

申請案號：089108589  
Application No.

申請人：財團法人工業技術研究院  
Applicant(s)

Best Available Copy

CERTIFIED COPY OF  
PRIORITY DOCUMENT

局長  
Director General

陳明邦

發文日期：西元 2000 年 6 月  
Issue Date

發文字號：  
Serial No. 08911007957

申請日期：

案號：

類別：

(以上各欄由本局填註)

## 發明專利說明書

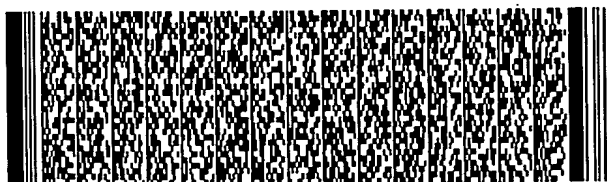
一、 發明名稱	中文	傳輸信號用之接收器和傳送器
	英文	
二、 發明人	姓名 (中文)	1. 黃弘一
	姓名 (英文)	1. Hong-Yi Huang
	國籍	1. 中華民國
	住、居所	1. 台北市信義區虎林街207號
三、 申請人	姓名 (名稱) (中文)	1. 財團法人工業技術研究院
	姓名 (名稱) (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣竹東鎮中興路四段一九五號
	代表人 姓名 (中文)	1. 孫震
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：傳輸信號用之接收器和傳送器)

一種信號傳輸架構，特別是其中之信號接收器和信號傳送器。其中信號傳送器係傳送一差動輸入信號對至傳輸線，其主要包括電晶體控制電路，用來預充電期間，透過傳輸線將信號接收器的輸入端預充電至一既定電壓，在預充電結束後，則傳送差動輸入信號對到傳輸線上。信號接收器則包括一正回授差動放大器、一耦合電路和一預充電裝置。預充電裝置可以在預充電期間將正回授差動放大器的差動輸入端預充電上述既定電壓。進行取值時，耦合電路則從輸入端耦合接收之差動輸入信號到差動輸入端上。當差動輸入端上出現足夠的電位差時，則啟動正回授差動放大器來放大進入之差動輸入信號對並且輸出至差動輸出端上。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

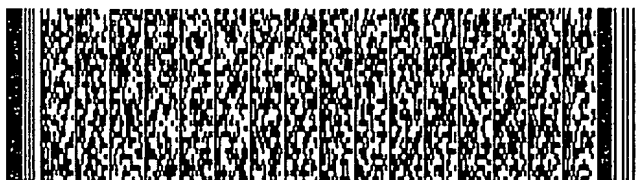
無

## 五、發明說明 (1)

本發明係有關於一種半導體電路，特別是有關於傳輸距離很長或是大負載條件下的信號傳送和讀取的技術，可適用於一般半導體記憶體電路中的驅動器(driver)和感測放大器(sense amplifier)或是邏輯電路等電路中，達到高速傳輸及低功率的優點。

隨著半導體製程的高速發展，元件的尺寸愈變愈小，並且元件間的距離也愈來愈短，此一趨勢會降低積體電路中的閘延遲(gate delay)特性。但是另一方面，有愈來愈多的元件整合在同一晶片內，例如單晶片系統(system-on-a-chip, SOC)，此一趨勢則使得元件間的傳輸線(interconnection)會隨著晶片變大而變長，同時傳輸線在縮小尺寸趨勢下也會變窄，反而在傳輸線上造成更大的延遲時間。因此，如何在大型積體電路中保持高速傳輸的特性，是相當重要的課題。另一方面，由於大型積體電路中的電晶體和元件數量愈來愈多，功率消耗的問題也變得非常嚴重。

本發明主要係針對積體電路內的傳輸速率和功率消耗提出解決方案，特別是針對傳輸架構中的傳送器(transmitter)和接收器(receiver)的傳輸條件而設計。其中，傳送器即為邏輯信號的來源端，接收器即為邏輯信號的目的端。在以下的說明中，主要係以感測放大器做為接收器為例，例如在記憶體積體電路中的感測放大器，係用以接收來自位元線上微弱信號的元件；而傳送器則是信號驅動器。目前已有相當多的專利文件(例如美國專利NO



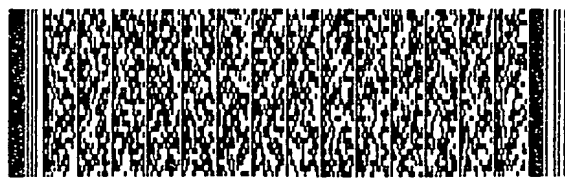
## 五、發明說明 (2)

3,879,621、4,843,264、4,910,713、5,079,745、5,253,137、5,534,800、5,668,765)與技術文件討論此部分技術，此處則不再贅述。

本發明的主要目的，在於提供一種信號傳輸架構，特別是其中所使用的信號傳送器和信號接收器，不僅可以達到高速傳輸的目的，同時在傳輸過程中可以降低所需要的功率消耗。

根據上述之目的，本發明提出一種信號接收器，可以使用於利用差動外部輸入端接收一差動輸入信號對。其包括正回授差動放大器、耦合電路、預充電裝置。正回授差動放大器具有差動輸入端和差動輸出端。耦合電路則耦接於上述差動外部輸入端、上述差動輸入端和上述差動輸出端之間，用來耦合上述差動外部輸入端上之上述差動輸入信號對至上述差動輸入端。預充電裝置則用以預充電上述差動輸入端至一既定電壓。在第一時間點之前，上述差動輸入端和上述差動外部輸入端中對應信號端點之間呈耦合狀態；在第一時間點之後，上述差動輸入信號對透過上述耦合電路進入上述正回授差動放大器之上述差動輸入端；在上述第一時間點之後既定期間的第二時間點上，啟動上述正回授差動放大器，用以放大進入之上述差動輸入信號對並且輸出至上述差動輸出端。

其中，上述耦合電路包含第一耦合電路和第二耦合電路。第一耦合電路包括第一電晶體以及第二電晶體。上述第一電晶體和上述第二電晶體之閘極耦接並連接至上述差



### 五、發明說明 (3)

動輸出端之第一信號端點。上述第一電晶體和上述第二電晶體之源極耦接並連接至上述差動輸入端之第一信號端點。上述第一電晶體之汲極為上述差動外部輸入端之第一信號端點。第二耦合電路包括第三電晶體以及第四電晶體。上述第三電晶體和上述第四電晶體之間極耦接並連接至上述差動輸出端之第二信號端點；上述第三電晶體和上述第四電晶體之源極耦接並連接至上述差動輸入端之第二信號端點；上述第三電晶體之汲極為上述差動外部輸入端之第二信號端點。

另外，上述第一耦合電路和第二耦合電路也可以由電容器所組成。例如，第一耦合電路包括第一電容器，其一端耦接至上述差動外部輸入端之第一信號端點；以及第五電晶體，其間極連接至上述差動輸出端之第一信號端點，其汲極連接至上述第一電容器之另一端和上述差動輸入端之第一信號端點。第二耦合電路包括第二電容器，其一端耦接至上述差動外部輸入端之第二信號端點；以及第六電晶體，其間極連接至上述差動輸出端之第二信號端點，其汲極連接至上述第二電容器之另一端和上述差動輸入端之第二信號端點。

另外，上述預充電裝置可以包括第一本地控制電晶體，其間極連接一第一控制信號，用以在第一時間點之前，預充電上述差動輸入端之第一信號端點至上述既定電壓，在第一時間點之後，關閉上述第一本地控制電晶體；以及第二本地控制電晶體，其間極連接上述第一控制信



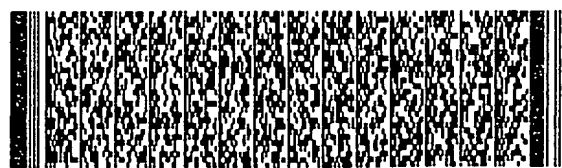


#### 五、發明說明 (4)

號，用以在第一時間點之前，預充電上述差動輸入端之第二信號端點至上述既定電壓，在第一時間點之後，關閉上述第二本地控制電晶體。在第一時間點之前，上述差動外部輸入端係預充電至上述既定電壓；上述正回授差動放大器係受控於一第二控制信號，其用以定義上述第二時間點。另外上述預充電裝置也可以包括第三本地控制電晶體，其閘極連接一第二控制信號，其源極和汲極分別連接上述差動輸出端之第一信號端點和第二信號端點，該第二控制信號用以定義上述第二時間點。

另外，本發明也提出一種信號接收器，是透過一外部輸入端接收一獨立輸入信號，其包括正回授差動放大器、耦合電路、預充電裝置。正回授差動放大器具有差動輸入端和差動輸出端。耦合電路則耦接於上述外部輸入端、上述差動輸入端和上述差動輸出端之間，用以耦合上述外部輸入端上之上述獨立輸入信號至上述差動輸入端。預充電裝置用以預充電上述差動輸入端至一既定電壓。在第一時間點之前，上述差動輸入端的對應信號端點與上述外部輸入端之間呈耦合狀態；在第一時間點之後，上述獨立輸入信號透過上述耦合電路進入上述正回授差動放大器之上述差動輸入端；在上述第一時間點之後既定期間的第二時間點上，啟動上述正回授差動放大器，用以放大進入之上述獨立輸入信號並且輸出至上述差動輸出端。

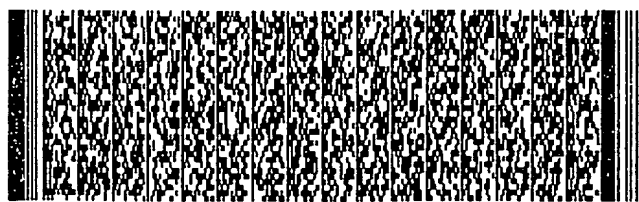
另外，本發明亦提出對應之信號傳送器，用以透過差動外部輸出端傳送一差動輸入信號對至傳輸線，其包括一



##### 五、發明說明 (5)

電晶體控制電路，受控於一第一控制信號，上述第一控制信號用以定義一第一時間點，用以在第一時間點之前，透過上述差動外部輸出端將上述傳輸線預充電至一既定電壓，在第一時間點之後，則等效地傳送上述差動輸入信號對至上述傳輸線。

其中，上述電晶體控制電路可以利用穩態電路實施，例如包括一差動電路，耦接於上述差動外部輸出端，受控於上述第一控制信號，其中上述差動電路包含一動態負載，上述動態負載受控制於上述第一控制信號，並且與上述差動電路呈相反操作動作，用以將上述傳輸線預充電至一既定電壓。另外，上述電晶體控制電路也可以包括一差動電路，耦接於上述差動外部輸出端，受控於上述第一控制信號，其中上述差動電路包含一固定負載，用以將上述傳輸線預充電至一既定電壓。另外，上述電晶體控制電路也可以利用動態電路實施，例如包括一第一邏輯閘，其輸入端連接上述第一控制信號和上述差動輸入信號對之第一信號，其輸出端連接上述差動外部輸出端之第一信號端點，用以在第一時間點之前，透過上述差動外部輸出端之第一信號端點，將對應之上述傳輸線預充電至上述既定電壓，在第一時間點之後，則等效地傳送上述差動輸入信號對之第一信號至對應之上述傳輸線；以及一第二邏輯閘，其輸入端連接上述第一控制信號和上述差動輸入信號對之第二信號，其輸出端連接上述差動外部輸出端之第二信號端點，用以在第一時間點之前，透過上述差動外部輸出端



#### 五、發明說明 (6)

之第二信號端點，將對應之上述傳輸線預充電至上述既定電壓，在第一時間點之後，則等效地傳送上述差動輸入信號對之第二信號至對應之上述傳輸線。上述第一邏輯閘和上述第二邏輯閘可以是NAND閘或是NOR閘。

另外，上述電晶體控制電路可以在第一時間點之後的一既定期間內，等效地切斷上述差動輸入信號對至上述傳輸線的傳送路徑，藉以降低電力消耗。例如可以包括一第一差動電路，其輸入端連接上述第一控制信號和上述差動外部輸出端，其輸出端則產生一回授信號對；以及一第二差動電路，其輸入端連接上述第一控制信號、上述差動輸入信號對和上述回授信號對，其輸出端連接上述差動外部輸入端。上述電晶體控制電路也可以包括一第一邏輯閘，其輸入端連接上述第一控制信號、上述差動輸入信號對之第一信號和一第一回授信號，其輸出端連接上述差動外部輸出端之第一信號端點；一第二邏輯閘，其輸入端連接上述第一控制信號、上述差動輸入信號對之第二信號和一第二回授信號，其輸出端連接上述差動外部輸出端之第二信號端點；一第三邏輯閘，其輸入端連接上述第一控制信號和上述差動外部輸出端之第一信號端點，其輸出端產生上述第一回授信號；以及一第四邏輯閘，其輸入端連接上述第一控制信號和上述差動外部輸出端之第二信號端點，其輸出端產生上述第二回授信號。

根據以上所述，本發明提出一種信號傳輸架構，可置於一晶片內，其包含以傳輸線連接之一信號傳送器和一信



## 五、發明說明 (7)

號接收器，上述信號傳送器透過其差動外部輸出端傳送一差動輸入信號對至傳輸線，上述信號接收器透過其差動外部輸入端接收上述差動輸入信號對。其中上述信號傳送器包括一電晶體控制電路，受控於一第一控制信號，上述第一控制信號用以定義一第一時間點，用以在第一時間點之前，透過上述差動外部輸出端將上述傳輸線預充電至一既定電壓，在第一時間點之後，則等效地傳送上述差動輸入信號對至上述傳輸線。上述信號接收器則包括一正回授差動放大器，其具有差動輸入端和差動輸出端；一耦合電路，耦接於上述差動外部輸入端、上述差動輸入端和上述差動輸出端之間，用以耦合上述差動外部輸入端上之上述差動輸入信號對至上述差動輸入端；以及一預充電裝置，用以預充電上述差動輸入端至上述既定電壓；在上述第一時間點之前，上述差動輸入端和上述差動外部輸入端中對應信號端點之間呈耦合狀態；在第一時間點之後，上述差動輸入信號對透過上述耦合電路進入上述正回授差動放大器之上述差動輸入端；在上述第一時間點之後既定期間的第二時間點上，啟動上述正回授差動放大器，用以放大進入之上述差動輸入信號對並且輸出至上述差動輸出端。

圖式之簡單說明：

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖表示本發明第一實施例之信號接收器的電路



## 五、發明說明 (8)

圖。

第2圖表示本發明第一實施例之另一信號接收器的電路圖。

第3圖表示本發明第一實施例之第1圖中各信號的波形示意圖。

第4圖表示本發明第一實施例之第2圖中各信號的波形示意圖。

第5a~5d圖表示本發明第一實施例中利用動態電路構成信號傳送器結構之電路示意圖。

第6a~6b圖表示本發明第一實施例中利用穩態電路構成信號傳送器結構之電路示意圖，第6c~6d圖表示其中各信號的波形示意圖。

第7a圖表示本發明第二實施例之信號接收器的電路圖，第7b圖表示其中各信號的波形示意圖。

第8a圖表示本發明第三實施例之信號接收器的電路圖，第8b圖表示其中各信號的波形示意圖。

第9a圖表示本發明第四實施例之信號接收器的電路圖，第9b圖表示其中各信號的波形示意圖。

第10a圖表示本發明第五實施例中利用動態電路構成自動隔離式信號傳送器結構之電路示意圖，第10b圖表示其中各信號的波形示意圖。

第11a圖表示本發明第五實施例中利用穩態電路構成自動隔離式信號傳送器結構之電路示意圖，第11b圖表示其中各信號的波形示意圖。



## 五、發明說明 (9)

### 符號說明：

10、20~信號接收器； $OUT/\overline{OUT}$ ~輸出端； $IN/\overline{IN}$ ~輸入資料； $I1/I2$ 、 $I1'/I2'$ ~輸入端； $IA/IB$ 、 $IA'/IB'$ ~差動輸入端； $O1/O2$ 、 $O1'/O2'$ ~差動輸出端； $\phi 1$ 、 $\phi 2$ 、 $\phi 1'$ 、 $\phi 2'$ ~控制信號；30、36~PMOS差動電路；32、34~NMOS差動電路；40、41~NAND閘；45、46~NOR閘；42、47~反相器；50~D型正反器； $FB/\overline{FB}$ ~回授信號；60、61、62、63~NAND閘；65~反相器。

### 實施例：

本發明主要是揭露一種新的信號傳輸架構，也就是信號傳送端以高速的方式，傳送待傳輸信號至信號接收端，同時可以在信號傳輸過程中減少功率的消耗。在以下的實施例中，主要係針對信號驅動器和感測放大器的類型加以說明，但是對於熟知此技藝者而言，同樣原理也可以應用於其他不同的傳輸環境下，基本上仍不脫離本發明之範圍。

### 第一實施例

第1圖表示本發明第一實施例之信號傳輸架構的電路圖。在第1圖中，符號10表示此信號傳輸架構的信號接收器，亦即感測放大器。電晶體P7和電晶體P8則是以簡略方式表示信號傳輸架構的信號傳送器，亦即信號驅動器，其細部電路則稍後詳述。代表信號傳送器的電晶體P7和電晶體P8係透過傳輸線1和2，傳送差動信號對至信號接收器



#### 五、發明說明 (10)

10。在本實施例中，假設傳輸線1和2的距離非常長，因此其所造成的RC延遲(RC delay)也非常大，所以在習知環境中信號由傳送器送到接收器的速度便會非常慢。為了清楚說明傳輸線1和2的特性，在以下說明中，信號傳送器(例如電晶體P7和P8)的輸出端分別標示為OUT和 $\overline{\text{OUT}}$ ，而信號接收器10的輸入端則分別標示為I1和I2。

在信號接收器10中，PMOS電晶體P0、P1和P2以及NMOS電晶體N9和N10構成一正回授差動放大器。其中電晶體P0的閘極連接控制信號 $\phi 2$ ；電晶體P1和P2之間則是呈交連的形態，產生正回授作用；電晶體N9和N10的汲極與其上的電晶體P1和P2連接，作為差動輸出端O1和O2；電晶體N9和N10的閘極則做為此正回授差動放大器的差動輸入端IA和IB。

另外，PMOS電晶體P3和NMOS電晶體N11則構成一耦合電路。其中電晶體P3和N11的汲極相連接，並且連接到差動輸入端IA；電晶體P3的源極則做為輸入端I1；電晶體P3和N11的閘極相連接，並且連接到差動輸出端O1。同樣地，PMOS電晶體P4和NMOS電晶體N12也構成另一耦合電路。其中電晶體P4和N12的汲極相連接，並且連接到差動輸入端IB；電晶體P4的源極則做為輸入端I2；電晶體P4和N12的閘極相連接，並且連接到差動輸出端O2。

另外，PMOS電晶體P5和P6則做為預充電電路，分別用來對於差動輸入端IA和IB進行預充電。其中，電晶體P5和



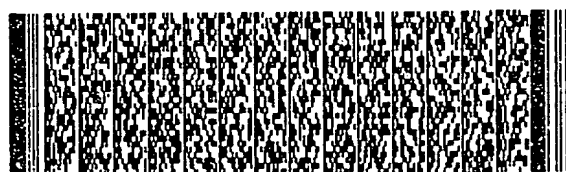
#### 五、發明說明 (11)

P6 的閘極是連接於控制信號  $\phi 1$ ，當控制信號  $\phi 1$  為邏輯 "0" 時，電晶體 P5 和 P6 呈導通狀態，因此可將差動輸入端 IA 和 IB 預充電至 VDD。另一方面，做為信號傳送器的電晶體 P7 和 P8 亦受到控制信號  $\phi 1$  的控制，當控制信號  $\phi 1$  為邏輯 "0" 時，電晶體 P7 和 P8 呈導通狀態，因此可將輸入端 OUT 和  $\overline{\text{OUT}}$  預充電至 VDD。

在上述信號傳輸架構中包含控制信號  $\phi 1$  和  $\phi 2$ ，其信號波形如第 3 圖所示，其中控制信號  $\phi 1$  的上昇邊緣與控制信號  $\phi 2$  的下降邊緣之間相距時間  $\Delta t$ 。

第 3 圖表示本發明第一實施例之信號傳輸架構中各信號的波形示意圖，其中包括控制信號  $\phi 1$  和控制信號  $\phi 2$ 、輸入端 I1/I2、差動輸入端 IA/IB 以及差動輸入端 O1/O2。以下透過第 1 圖和第 3 圖，詳細說明本實施例中信號傳輸架構的操作。

首先在時間點 T1，控制信號  $\phi 1$  變為邏輯 "0"，而控制信號  $\phi 2$  變為邏輯 "1"，控制信號  $\phi 1$  所控制的電晶體 P7 和 P8 (信號傳送器) 以及電晶體 P5 和 P6 (預充電電路) 會呈導通狀態。因此，輸入端 I1/I2 會透過電晶體 P7 和 P8 和傳輸線 1 和 2，被預充電至 VDD。同樣的，差動輸入端 IA/IB 也可以透過電晶體 P5 和 P6，被預充電至 VDD。另一方面，由於控制信號  $\phi 2$  為邏輯 "1"，因此電晶體 P0 為關閉狀態，也就是正回授差動放大器 (包括 P0、P1、P2、N9、N10) 不會動作。但是由於差動輸入端 IA/IB 被預充電至 VDD，因此電晶



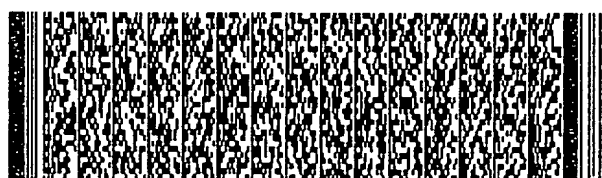


## 五、發明說明 (12)

體N9和N10會呈導通狀態。換言之，對於差動輸出端01/02而言，導通狀態的電晶體N9和N10可以構成接地放電的路徑，讓差動輸入端01/02被放電至邏輯"0"。此時，耦合電路中的電晶體P3和P4會呈導通狀態，讓輸入端I1/I2與差動輸入端IA/IB之間接通呈耦合狀態；但是電晶體N11和N12呈關閉狀態，因此此時沒有直流電流(DC current)。進一步來說，在此預充電的過程中，由於電晶體P3和P4呈導通狀態，因此輸入端I1/I2和差動輸入端IA/IB耦合在一起，但是由於電晶體N11和N12呈關閉狀態，因此整個預充電過程沒有直流電流成分，可以降低電力的消耗。

接著在時間點T2(第一時間點)，控制信號 $\phi 1$ 變為邏輯"1"，因此電晶體P5~P8呈關閉狀態。在信號傳送器的輸出端OUT和 $\overline{\text{OUT}}$ 則開始送出信號，另一方面，在信號接收器10的輸入端I1/I2則開始取值(evaluate)。由於傳送的信號為差動信號，所以一端為邏輯"1"而另一端為邏輯"0"。但是由於傳輸線1和2的長度因素，邏輯信號的變化較緩慢。從輸入端I1/I2來看，必定是一邊呈邏輯"1"的準位(預充電電位)，另一邊逐漸下降至邏輯"0"的準位。所以在輸入端I1/I2上，必須等待一既定時間(即本實施例之 $\Delta t$ )，才會接收到具有電位差 $\Delta V$ 的差動信號對。同時，輸入端I1/I2上具有電位差 $\Delta V$ 的差動信號對則會透過電晶體P3和P4耦合到差動輸入端IA/IB。

接著在時間點T3(第二時間點)，控制信號 $\phi 2$ 變為邏



#### 五、發明說明 (13)

輯"0"，因此電晶體P0呈導通狀態，正回授差動放大器則開始動作。由於在差動輸入端IA/IB上存在具有電位差 $\Delta V$ ，因此，整個正回授差動放大器會將此電位差 $\Delta V$ 予以放大，也就是很快地將差動輸出端O1/O2拉到VDD或GND，同時被改變的差動輸出端O1/O2位準也會讓原本只存在電位差 $\Delta V$ 的差動輸入端IA/IB很快地變為正常準位的邏輯信號，如此便可以成功地接收到所傳輸的信號對。

以實際電壓範例來說明上述的傳輸動作。假設在時間點T2之前，輸入端I1/I2以及差動輸入端IA/IB都被預充電到VDD，亦即系統高電壓。在時間T3時，當差動信號在 $\Delta t$ 內，造成輸入端I1/I2上的電位差 $\Delta V$ ，假設透過傳輸線1所傳送的信號為邏輯"1"，透過傳輸線2所傳送的信號為邏輯"0"，因此輸入端I1上仍為原來的預充電電壓VDD，而輸入端I2上則為VDD- $\Delta V$ 。同樣的，輸入端I1上的電壓會耦合到差動輸入端IA，而輸入端I2的電壓則會耦合到差動輸入端IB。在時間點T3之後，正回授差動放大器開始動作，則會讓差動輸出端O1仍保持在預充電期間的邏輯"0"（即GND），而差動輸出端O2則需要上昇至邏輯"1"（即VDD）。對於差動輸出端O1而言，由於仍維持在邏輯"0"的電壓位準，因此電晶體N11不會導通，同時對應的差動輸入端IA仍維持其原來的預充電電壓VDD，亦即邏輯"1"。另一方面，對於差動輸出端O2而言，由於需要上昇至邏輯"1"，因此當其電壓上昇到足以導通電晶體N12時，則電晶體N12會構成差動輸入端IB的放電路徑，讓差動輸入端IB很快地



#### 五、發明說明 (14)

轉換為邏輯"0"。受到正回授的作用以及差動輸入端IB轉換為邏輯"0"的影響，因此在本實施例中差動輸出端02可以快速達到正常邏輯準位的邏輯"1"。至此，便完成了傳輸取值的動作。必須說明的是，在輸入端I1側的耦合電路電晶體P3和N11，由於差動輸出端01仍維持邏輯"0"，因此電晶體P3為導通狀態而電晶體N11為關閉狀態；另一方面，在輸入端I2側的耦合電路電晶體P4和N12，則由於差動輸出端02被提昇至邏輯"1"，因此電晶體P4呈關閉狀態，隔離輸入端I2和差動輸入端IB，同時電晶體N12呈導通狀態，讓差動輸入端IB很快地被放電至GND。

在本實施例的信號傳輸架構具有很多的優點。首先，正回授差動放大器的電晶體N11和N12至接地端之間沒有串聯，下拉(pull down)的有效電阻較小，因此可以快速地偵測到差動輸入端IA和IB上的微小電位差，並且轉換為電流差。另外，差動輸出端01和02與差動輸入端I1和I2之間並沒有連接，換言之，在差動輸入端I1和I2上只需要極微小的電位差，在差動輸出端01和02上便可以產生完全振幅的接收差動信號。另外，輸入端I1和I2與差動輸入端IA和IB之間，利用電晶體加以隔離，因此沒有直流電流，而在正回授過程中可以降低差動輸入端IA和IB的負載，可以快速將預充電至VDD的差動輸入端IA或IB下拉至0V。最重要的優點是，既使應用於長傳輸距離的情況下，在信號接收器上只需要接收非常小的電位差，便可以快速地還原成所需要接收的傳輸信號，同時在此過程中，沒有直流電流



#### 五、發明說明 (15)

的存在，因此也可以達到低功率的目的。

第2圖表示本發明第一實施例之信號傳輸架構的另一電路圖，其基本架構與第1圖完全相同，差別僅在於所使用之電晶體和極性配置上呈互補關係。在信號接收器20中，NMOS電晶體N0、N1和N2以及PMOS電晶體P9和P10構成一正回授差動放大器。其中電晶體N0的閘極連接控制信號 $\phi 2'$ ；電晶體N1和N2之間則是呈交連的形態，產生正回授作用；電晶體P9和P10的汲極與其下的電晶體N1和N2連接，作為差動輸出端01'和02'；電晶體P9和P10的閘極則做為此正回授差動放大器的差動輸入端IA'和IB'。NMOS電晶體N3和PMOS電晶體P11則構成一耦合電路。其中電晶體N3和P11的汲極相連接，並且連接到差動輸入端IA'；電晶體N3的源極則做為輸入端I1'；電晶體N3和P11的閘極相連接，並且連接到差動輸出端01'。NMOS電晶體N4和PMOS電晶體P12也構成另一耦合電路。其中電晶體N4和P12的汲極相連接，並且連接到差動輸入端IB'；電晶體N4的源極則做為輸入端I2'；電晶體N4和P12的閘極相連接，並且連接到差動輸出端02'。另外，NMOS電晶體N5和N6則做為預充電電路，分別用來對於差動輸入端IA'和IB'進行預充電。其中，電晶體N5和N6的閘極是連接於控制信號 $\phi 1'$ ，而做為信號傳送器的電晶體N7和N8亦受到控制信號 $\phi 1'$ 的控制。

第4圖表示第2圖之信號傳輸架構中各信號的波形示意圖，其波形基本與第3圖相同，僅在於信號極性不同。因



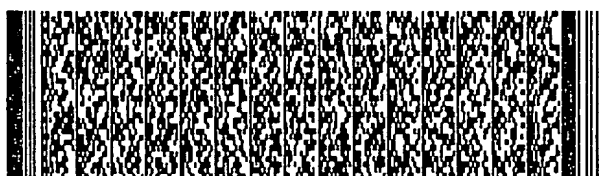
## 五、發明說明 (16)

此，透過第2圖和第4圖以及前面所述之操作原理，可以得到與前述相同的效果，此處則不再贅述。但是必須注意的是，第1圖中預充電電壓係為VDD，亦即邏輯"1"，而第3圖中預充電電壓係為GND(0V)，亦即邏輯"0"。由於預充電電壓涉及信號傳送器在預充電期間所送出的電壓值，因此在後續說明信號傳送器電路時，必須分辨出兩者的區別。

接著說明本實施例中所採用之信號傳送器電路。在上述的第1圖和第3圖中，電晶體P7/P8以及電晶體N7/N8僅是簡單圖示出信號傳送器之動作，並非真實應用之電路。根據以上所述，本實施例中的信號傳送器必須具有以下之動作：(1)在預充電期間(也就是第1圖控制信號 $\phi 1$ 為"0"，第2圖控制信號 $\phi 1$ 為"1")，信號傳送器必須送出對應的預充電電壓至傳輸線上；在第1圖中，預充電電壓為VDD；第2圖中，預充電電壓為GND(0V)；(2)在控制信號 $\phi 1$ 改變邏輯位準後，信號傳送器必須開始送出待傳輸信號至傳輸線上。

在本實施例中，分別說明如何用動態(dynamic)電路和穩態(static)電路來達成。首先說明動態電路部分。第5a~5d圖表示本實施例中利用動態電路構成信號傳送器結構之電路示意圖，其中第5c圖和第5b圖之信號傳送器對應於第1圖所示之信號接收器，第5a圖和第5d圖之信號傳送器對應於第2圖所示之信號接收器。

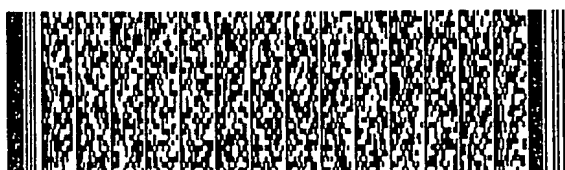
第5c圖是適用於第1圖的信號傳送器，其送出的預充電電壓是邏輯"1"的位準，由PMOS電晶體P13以及PMOS差動



#### 五、發明說明 (17)

電路30構成可控制的差動電路，其中電晶體P13的閘極連接控制信號 $\phi 1'$ 。另外NMOS電晶體N14~N17以及反相器INV1和INV2則是做為一可變負載，也是在控制信號 $\phi 1'$ 的控制下進行開關控制，至於控制信號 $\phi 1'$ 的時序可以參考第3圖。當控制信號 $\phi 1'$ 為邏輯"1"時，在輸出端OUT和 $\overline{\text{OUT}}$ 上送出邏輯"1"，進行預充電動作。在第5a圖中，是適用於第2圖中的信號傳送器，其送出的預充電電壓是邏輯"0"的位準。NMOS電晶體N13以及NMOS差動電路34構成可控制的差動電路，而PMOS電晶體P14~P17以及反相器INV3和INV4則是做為一可變負載。其中，電晶體N13和電晶體P15和P16是在控制信號 $\phi 1$ 的控制下進行開關控制，至於控制信號 $\phi 1$ 的時序可以參考第4圖。當控制信號 $\phi 1$ 為邏輯"0"時，在輸出端OUT和 $\overline{\text{OUT}}$ 上送出邏輯"0"，進行預充電動作。在第5c圖和第5a圖中，利用控制信號 $\phi 1'$  ( $\phi 1$ )在不同電晶體的控制動作，因此，操作上沒有直流電流存在。

相對地，在第5b圖和第5d圖中則是採用固定負載。第5b圖的信號傳送器係配合第1圖的信號接收器使用，其中NMOS電晶體N20以及NMOS差動電路32構成可控制的差動電路，而PMOS電晶體P18和P19則是做為固定負載。因此，當控制信號 $\phi 1$ 為邏輯"0"時，連接輸出端OUT和 $\overline{\text{OUT}}$ 的傳輸線會被充電至VDD，而當控制信號 $\phi 1$ 變為邏輯"1"時，則會在輸出端OUT和 $\overline{\text{OUT}}$ 送出需要傳輸的差動信號。另一方面，第5d圖的信號傳送器則是配合第2圖的信號接收器使用，其

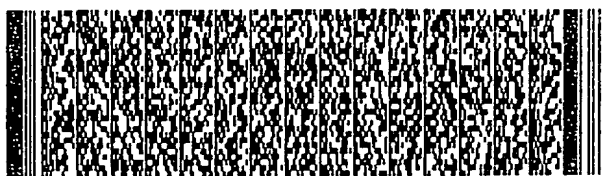


#### 五、發明說明 (18)

中PMOS電晶體P20以及PMOS差動電路36構成可控制的差動電路，而NMOS電晶體N18和N19則是做為固定負載。因此，當控制信號 $\phi 1'$ 為邏輯"1"時，連接輸出端OUT和 $\overline{\text{OUT}}$ 的傳輸線電壓會被下拉至0V，而當控制信號 $\phi 1$ 變為邏輯"0"時，則會在輸出端OUT和 $\overline{\text{OUT}}$ 送出需要傳輸的差動信號。第5b圖和第5d圖中的信號傳送器在結構上較簡單，不過會出現直流電流，因此在功率消耗上較差。

以上係透過預置電路來構成本實施例中所需要的信號傳送器，並且避免輸出訊號有浮動現，可避免雜訊之干擾，不過利用相同的原理，在本實施例中也可以利用穩態電路來組成所需要的信號傳送器。第6a圖表示本實施例中利用穩態電路構成信號傳送器結構之電路示意圖，可以配合第1圖所示之信號接收器使用，第6c圖則是其中各信號的波形示意圖。在第6a圖中，待傳送信號IN透過反相器42產生其反相信號，藉此構成待傳送的差動信號對。此信號傳送器則是由NAND閘40和NAND閘41所構成。NAND閘40的兩個輸入端分別接收控制信號 $\phi 1$ 和信號 $\overline{\text{IN}}$ ，其輸出端連接輸出端OUT，在本實施例中，其透過距離很長的傳輸線連接到輸入端I1；NAND閘41的兩個輸入端分別接收控制信號 $\phi 1$ 和信號IN，其輸出端連接輸出端 $\overline{\text{OUT}}$ ，在本實施例中，其透過距離很長的傳輸線連接到輸入端I2。

參考第6c圖，第6a圖中的信號傳送器動作可以描述如下。當控制信號 $\phi 1$ 為邏輯"0"時，NAND閘40和NAND閘41均



## 五、發明說明 (19)

是輸出邏輯"1"，也就是可以透過傳輸線對於信號接收端I1和I2進行預充電至VDD。當控制信號 $\phi 1$ 為邏輯"1"時，NAND閘40和NAND閘41的作用等效於反相器，因此在輸出端OUT上為信號IN，輸出端 $\overline{\text{OUT}}$ 上為信號 $\overline{\text{IN}}$ ，也就是將待傳輸信號對送到輸入端I1和I2。

第6b圖表示本實施例中利用穩態電路構成信號傳送器結構之另一電路示意圖，可以配合第2圖所示之信號接收器使用，第6d圖則是其中各信號的波形示意圖。如前所述，兩者的差別在於預充電電壓位準的不同。在第6b圖中，待傳送信號IN透過反相器47產生其反相信號 $\overline{\text{IN}}$ 。信號傳送器則是由NOR閘45和NOR閘46所構成。NOR閘45的兩個輸入端分別接收控制信號 $\phi 1'$ 和信號 $\overline{\text{IN}}$ ，其輸出端連接輸出端OUT，並且透過傳輸線連接到輸入端I1'；NOR閘46的兩個輸入端分別接收控制信號 $\phi 1'$ 和信號IN，其輸出端連接輸出端 $\overline{\text{OUT}}$ ，並且透過傳輸線連接到輸入端I2。參考第6d圖，當控制信號 $\phi 1'$ 為邏輯"1"時，NOR閘45和NOR閘46均是輸出邏輯"0"，也就是可以透過傳輸線對於信號接收端I1'和I2'進行預充電至0V。當控制信號 $\phi 1$ 為邏輯"0"時，NOR閘45和NOR閘46的作用等效於反相器，因此在輸出端OUT上為信號IN，輸出端 $\overline{\text{OUT}}$ 上為信號 $\overline{\text{IN}}$ ，也就是將待傳輸信號對送到輸入端I1'和I2'。

必須注意的是，在上述的信號傳送器中，在預充電過程結束之前，各待傳輸信號IN和 $\overline{\text{IN}}$ 都必須處於穩定狀態，





## 五、發明說明 (20)

也就是進行取值過程時，待傳輸信號就不能有任何變化。以上雖列舉數種可適用於本實施例之信號傳送器，但是對於熟習此技藝者而言，也可以採用其他電路類型來達到相同之目的，而不脫離本發明之範圍。

### 第二實施例

在第一實施例中，主要是在正回授差動放大器的每個差動輸入端IA/IB上分別配置對應的預充電電晶體(例如第1圖中的P5、P6以及第2圖中的N5、N6)，用以在預充電期間對差動輸入端IA/IB預充電至既定電壓(例如第1圖中的VDD和第2圖中的0V)。不過，利用其他方式讓差動輸入端IA/IB設定於所需要的既定電壓，也可以達到相同的目的。本實施例中即揭露另一種可行的處理方式。

第7a圖表示本發明第二實施例之信號接收器的電路圖。第7a圖基本上大致與第一實施例之第1圖相同，故採用相同符號表示對應之元件和信號，其中主要的差異點在於去除了第1圖中的預充電電晶體P5、P6，而在正回授差動放大器的差動輸出端O1/O2間耦接一NMOS電晶體N21，其閘極則連接控制信號 $\phi 2$ 。

第7b圖表示本實施例之信號接收器中各信號的波形示意圖，其中控制信號 $\phi 1$ 是用來控制信號傳送器中預充電結束的時間(亦即開始傳送信號的時間)，因此未出現在第7a圖中；控制信號 $\phi 2$ 則是用以控制電晶體P0和電晶體N21；I1/I2表示信號接收器的輸入端；IA/IB表示正回授差動放大器的差動輸入端；O1/O2表示正回授差動放大器

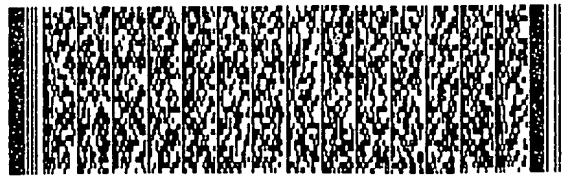


#### 五、發明說明 (21)

的差動輸出端。以下配合第7b圖，詳細說明第7a圖中信號接收器之動作。

在時間T4，控制信號 $\phi 2$ 為邏輯"0"，因此電晶體P0為導通狀態而電晶體N21為關閉狀態，也就是正回授差動放大器(P0、P1、P2、N9、N10)已開始動作。根據第一實施例所述之情況，正回授差動放大器處於取值的階段，會讓差動輸出對01/02之一者為邏輯"1"(VDD)，另一者為邏輯"0"(0V)。為了方便說明起見，在以下的說明中假設差動輸出端01為邏輯"1"，差動輸出端02為邏輯"0"。不過必須注意的是使用另一種情況同樣可以獲致以下所述及之操作模式。當01為"1"而02為"0"時，可知電晶體P3為關閉狀態而電晶體N11為導通狀態，因此差動輸入端IA為邏輯"0"並且電晶體N9為關閉狀態；另外電晶體P4為導通狀態而電晶體N12為關閉狀態，因此差動輸入端IB為邏輯"1"並且電晶體N10為導通狀態。

在時間T5，當控制信號 $\phi 2$ 從"0"變為"1"時，電晶體P0為關閉狀態而電晶體N21為導通狀態，也就是正回授差動放大器不動作。此時，導通狀態的電晶體N21和電晶體N10可以對於差動輸出端01構成一放電路徑，也就是將差動輸出端01從邏輯"1"放電至邏輯"0"。接著，電晶體P3會被導通而電晶體N11會被關閉。同時，由於控制信號 $\phi 1$ 為"0"，因此信號傳送器會送出邏輯"1"至輸入端I1/I2，於是差動輸入端IA也會被提昇至邏輯"1"，完成預充電的動作。



## 五、發明說明 (22)

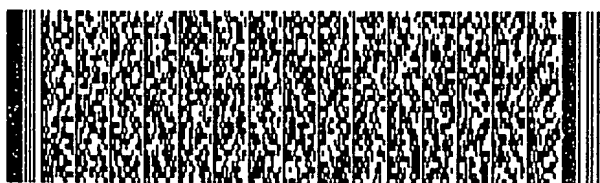
接著在時間T6和T7，與第一實施例中的情況相同，信號傳送器會開始傳送信號而信號接收器則開始取值，當開啟正回授差動放大後，即可很快地完成取值的動作。再重覆以上所述的各動作，便可以一直持續操作下去。

根據以上所述可知，本實施例中的預充電動作，主要是利用信號傳送器所送出的預充電電壓來完成。也就是在預充電期間，讓差動輸入端01/02下拉至0V，以便讓輸入端I1/I2和差動輸入端IA/IB之間的電晶體P3和P4導通，藉此將其充電至VDD。然而對於熟習此技藝者而言，可以採用各種不同方式來達到預充電的目的，仍不脫離本發明之範圍。最後必須說明的是，只要將電晶體N21換為一PMOS電晶體，同樣可以應用本實施例於第2圖所示之信號接收器。

### 第三實施例

在第一實施例中，主要是利用電晶體P3和P4來隔離輸入端I1/I2和差動輸入端IA/IB。不過，利用其他方式可以達到相同之目的，本實施例中即揭露另一種可行的處理方式。

第8a圖表示本發明第三實施例之信號傳輸架構的電路圖。第8a圖基本上大致與第一實施例之第1圖相同，因此採用相同符號表示對應之元件和信號，其中主要的差異點在於利用電容器C1和C2取代第1圖中耦合電路的電晶體P3和P4。其中輸入端I1和I2係直接來自一般穩態電路所產生的互補信號，電容器C1和C2可以將輸入端I1和I2上的互補

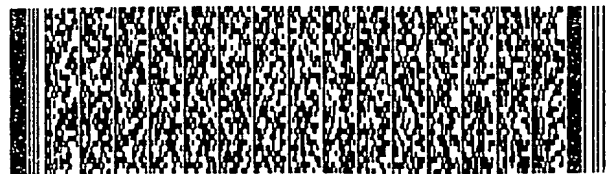
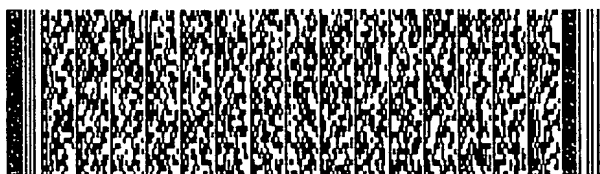


#### 五、發明說明 (23)

信號耦合到差動輸入端IA和IB上。另一方面，電容器C1和C2也可以隔離輸入端I1/I2和差動輸入端IA/IB，不僅可以切斷直流電流，同時可以降低差動輸入端IA/IB的負載，讓正回授作用時可以快速地下拉差動輸入端IA/IB的電壓。

第8b圖表示本實施例之信號傳輸架構中各信號的波形示意圖，其中控制信號 $\phi 1$ 是用來控制信號傳送器中開始傳送信號的時間，以及在信號接收器的電晶體P5、P6之預充電時間；控制信號 $\phi 2$ 則是用以控制電晶體P0；I1/I2表示信號接收器的輸入端，必須注意的是，本實施例中輸入端I1/I2並沒有預充電至VDD；IA/IB表示正回授差動放大器的差動輸入端；O1/O2表示正回授差動放大器的差動輸出端。

基本上本實施例中之動作與第一實施例相同，不過由於本實施例使用電容器C1和C2連接輸入端I1和I2，所以在輸入端I1/I2上沒預充電電壓而是直接接收差動信號。所以，只要在正回授差動放大器開始動作之前（亦即控制信號 $\phi 2$ 為"0"），在輸入端I1/I2上信號變化經由電容器C1/C2耦合到差動輸入端IA/IB，並且在差動輸入端IA/IB上產生足夠的電壓差即可。要控制信號傳送端傳送信號的時序，可以利用控制信號 $\phi 1$ ，以正緣觸發(positive triggering)控制輸出差動信號的D型正反器(flip-flop)50即可。在第8b圖中，在時間點T8時，當控制信號 $\phi 1$ 由"0"變為"1"，則信號傳送器的正反器50便會

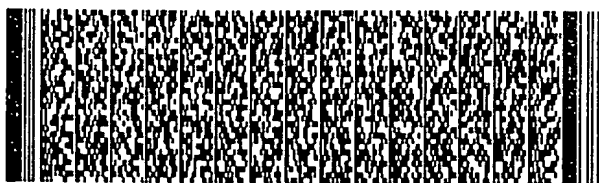


#### 五、發明說明 (24)

送出待傳輸的差動信號到傳輸線上，而透過電容器C1和C2耦合到差動輸入端IA/IB上。在時間點T9時，當控制信號 $\phi 2$ 變為"0"時，正回授差動放大器便開始進行取值的動作。此時在差動輸入端IA/IB上已出現足夠的電位差，可以讓正回授差動放大器快速地完成取值並且輸出到差動輸出端O1/O2上，同時差動輸入端IA/IB上的電位也會被快速地拉到對應的電壓值。

本實施例中所使用之電容器C1/C2的耦合電容值大小，必須考慮到耦合輸入端I1/I2上信號時，要在差動輸入端IA/IB上產生足夠使得信號接收器正常操作的電位差，同時還有考慮到製程變異所造成的元件不匹配問題。實際上，時間間隔 $\Delta t$ 的長短以及輸入端I1/I2上的差動信號變化速率也會影響到此電位差 $\Delta V$ 的大小。整體而言，由於在差動輸入端IA/IB上的寄生電容很小，加上此感測放大器的特性優良，因此電容值C1和C2的電容值也非常小。以一般CMOS製程而言，如果使用最小尺寸的MOS電容便可以產生非常大的電位差，另外即使是使用金屬連線層-複晶矽或是金屬連線層-金屬連線層之間的寄生電容，所需要的面積也非常小。因此，在標準數位CMOS製程中很容易製造出所需要的電容器C1和C2。不過必須注意的是，電容器C1和C2的耦合效應只針對輸入端I1和I2，因此其他信號和寄生效應對於電容器C1、C2的耦合應該儘可能地減少。

根據以上所述可知，本實施例中輸入端I1/I2和差動



#### 五、發明說明 (25)

輸入端IA/IB之間是利用電容器加以隔離，並且達到差動信號耦合的效果。然而對於熟習此技藝者而言，也可以採用各種不同方式來達到隔離/耦合的效果，仍不脫離本發明之範圍。最後必須說明的是，本實施例同樣可以應用於第2圖所示之信號接收器，只需要將第2圖中的電晶體N3和N4以電容器加以取代即可。

#### 第四實施例

在前面各實施例中，待傳輸信號都是在信號傳送器中產生差動信號，再利用兩條傳輸線傳送到信號接收器。實際上，使用單一傳輸線來傳送獨立輸入信號也可以適用於本發明中，本實施例中即揭露此一處理方式。

本實施例主要是根據第三實施例中的第8a圖修改而成，不過同樣處理方式也可以適用於第一實施例和第二實施例的情況。第9a圖表示本發明第四實施例之信號傳輸架構的電路圖。第9a圖與第8a圖的差異點在於獨立輸入信號是透過輸入端I1進入信號接收器，而原來的輸入端I2則是固定連接VDD。電容器C1則是用來耦合獨立輸入信號到差動輸入端IA，另外電容器C2則是做為平衡負載之用。

第9b圖表示本實施例之信號傳輸架構中各信號的波形示意圖，與第三實施例不同的是，獨立輸入信號只有透過輸入端I1進入再耦合到差動輸入端IA，不像是第三實施例中差動輸入端IA/IB都會有耦合電壓。因此，本實施例中要在輸入端IA和IB之間造成足夠的電位差，必須加大電容器C1和C2的電容值或是延長 $\Delta t$ 。至於其他操作則與第三



## 五、發明說明 (26)

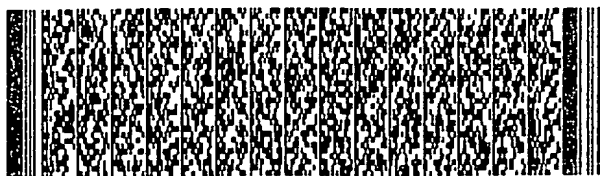
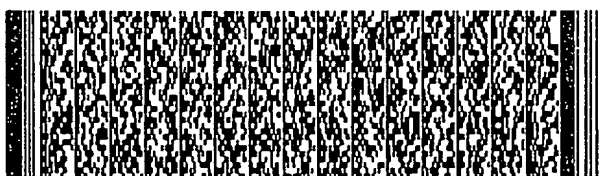
實施例相同，此處不再贅述。

根據以上所述可知，本實施例中使用單一輸入端I1來耦合獨立輸入信號，其他動作基本上與前述實施例均相同，因此，本實施例同樣可以應用於第一實施例和第三實施例中。

### 第五實施例

在第一實施例中，係使用動態電路和穩態電路來實現信號傳送器，而此信號傳送器可以適用於第一實施例和第二實施例的情況中。如前所述，此信號傳送器是在預充電期間對於傳輸線進行預充電的動作，讓連接的輸入端I1/I2上升至VDD或下降至0V，再將傳輸的差動信號送入傳輸線上。另外，由於傳輸線距離長的緣故，此傳輸的差動信號變化很緩慢，因此本發明是利用信號開始傳送後的一段時間(即 $\Delta t$ )，開始進行取值的動作，也就是利用正回授差動放大作用，讓小電位差 $\Delta V$ 放大為正常的邏輯位準。就此可知，本發明之信號傳送器實際上並不需要將完整的差動信號送到傳輸線上，因此信號接收器只需要在 $\Delta t$ 時間內出現在差動輸入端IA/IB上的電位差 $\Delta V$ ，足夠讓正回授差動放大器回復正常的邏輯準位即可，這樣可以降低信號傳送器在進行信號傳輸時所消耗的電力。本實施例即揭露具有此功能之自動隔離式(self-isolated)信號傳送器。

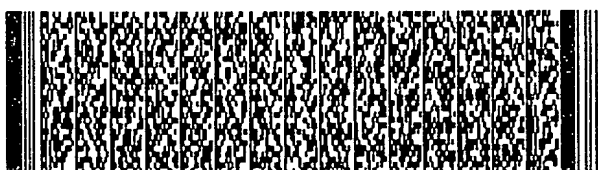
第10a圖表示本實施例中利用動態電路構成自動隔離式信號傳送器結構之電路示意圖。在第10a圖中，電晶體



#### 五、發明說明 (27)

P42、P43和電晶體N44、N45、N47構成第一差動電路，其中電晶體N47係受到控制信號 $\phi 1$ 的控制，而第一差動電路的兩組差動輸入端(電晶體P42/P43的閘極和電晶體N44/N45的閘極)則分別連接控制信號 $\phi 1$ 和輸出端 $OUT/\overline{OUT}$ ，其輸出端則為回授信號 $FB/\overline{FB}$ 。另外，電晶體P40、P41和電晶體N40、N41、N42、N43、N46構第二差動電路，其中電晶體N46係受到控制信號 $\phi 1$ 的控制，而其三組差動輸入端(電晶體P40/P41的閘極、電晶體N40/N41的閘極和電晶體N42/N43的閘極)則分別連接控制信號 $\phi 1$ 、輸入資料 $IN/\overline{IN}$ 和回授信號 $FB/\overline{FB}$ ，其輸出端則連接輸出端 $OUT/\overline{OUT}$ 。

第10b圖表示第10a圖之動態電路自動隔離信號傳送器中各信號的波形示意圖，其中特別繪製出習知技術中輸出端 $OUT/\overline{OUT}$ 上傳送差動信號的波形以供比對。在時間T10，當控制信號 $\phi 1$ 為"0"，此時兩個差動電路沒有動作，但是由於電晶體P40和P41被導通，因此會透過輸出端 $OUT/\overline{OUT}$ 對傳輸線(亦即信號接收端部分)進行預充電至邏輯"1"；同時由於電晶體P42和P43被導通，所以回授信號 $FB/\overline{FB}$ 也上昇至邏輯"1"；因此，電晶體N42、N43、N44和N45都呈導通狀態。在時間T11，控制信號 $\phi 1$ 變為"1"時，則兩個差動電路開始動作，在輸入資料 $IN/\overline{IN}$ 間的電壓差會快速地出現在輸出端 $OUT/\overline{OUT}$ ，兩其中之一會往0V下降(原來電位為VDD)。但是輸出端 $OUT/\overline{OUT}$ 也會送到第一差動電路的





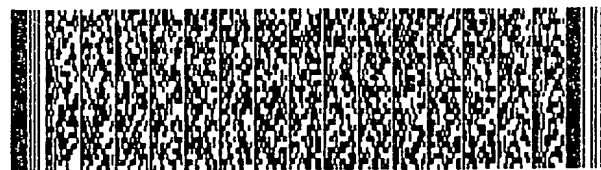
##### 五、發明說明 (28)

電晶體N44和N45，而回授電壓 $FB/\overline{FB}$ 因負載極小，故 $FB/\overline{FB}$ 均會極快速往0V下降(原來電位亦為VDD)，並且回授到第二差動電路電晶體N42/N43的閘極上，同時關閉電晶體N42和N43，切斷輸出端 $OUT/\overline{OUT}$ 中原本要下降電壓者的放電路徑。因此，實際在輸出端 $OUT/\overline{OUT}$ 上的電位差很小，也就達到自動隔離的目的。

除了可以利用動態電路來實現自動隔離信號傳送器，同樣也可以利用穩態電路來達成。第11a圖表示本實施例中利用穩態電路構成自動隔離式信號傳送器結構之電路示意圖。如圖所示，此自動隔離式信號傳送器主要包括NAND閘60、61、62和63，其中NAND閘60、62為三輸入邏輯閘，NAND閘61、63為二輸入邏輯閘。另外，反相器64是用來產生輸入資料IN之反相資料 $\overline{IN}$ 。

NAND閘60的輸入端連接回授信號FB、輸入資料IN以及控制信號 $\phi 1$ ，輸出端連接OUT；NAND閘62的輸入端連接回授信號 $\overline{FB}$ 、輸入資料 $\overline{IN}$ 以及控制信號 $\phi 1$ ，輸出端連接 $\overline{OUT}$ ；NAND閘61的輸入端連接控制信號 $\phi 1$ 和輸出端OUT，其輸出端輸出回授信號FB；NAND閘63的輸入端連接控制信號 $\phi 1$ 和輸出端 $\overline{OUT}$ ，其輸出端輸出回授信號 $\overline{FB}$ 。

第11b圖表示第11a圖之穩態電路自動隔離信號傳送器中各信號的波形示意圖。配合第11b圖，詳細說明其操作。當控制信號 $\phi 1$ 為"0"時，NAND閘60和62則輸出"1"，也就是透過傳輸線對信號接收端的輸入端I1/I2進行預充

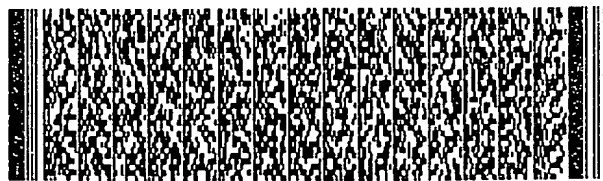
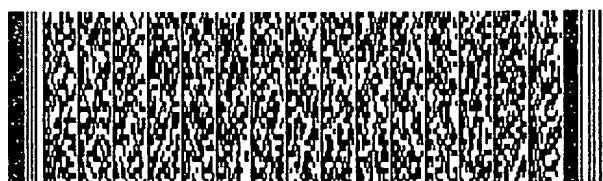


##### 五、發明說明 (29)

電。此時回授信號 $FB/\overline{FB}$ 也設定在"1"。當控制信號 $\phi 1$ 由"0"變為"1"時，此時NAND閘60和62的作用類似於反相器（由於控制信號 $\phi 1$ 和回授信號 $FB/\overline{FB}$ 為"1"），因此由輸入資料IN產生差動信號送到輸出端 $OUT/\overline{OUT}$ 。也就是在輸出端 $OUT/\overline{OUT}$ 中之一者上的電壓會往下降。另一方面，在輸出端 $OUT/\overline{OUT}$ 的邏輯值會傳送到NAND閘61和63的輸入端。當輸出端 $OUT/\overline{OUT}$ 上電壓值變化到可以辨別出其邏輯值的程度，則回授信號 $FB/\overline{FB}$ 也會隨之變化，因此回授到NAND閘60和62後，可以讓原本要下降的電壓拉回。也就達到自動隔離的目的。

本實施例中自動隔離信號傳送器之最大優點在於，不需要將完全振幅的差動信號傳送到傳輸線上，在一定時間之後，等效地切斷差動信號對到傳輸線的傳送路徑。這一特性正是用來配合本發明中之信號接收器：只需要偵測到局部的電壓差，便可以快速地還原成正常邏輯位準的信號。因此，可以讓信號傳送器降低在傳輸過程中所消耗的電力，達到降低功率的目的。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 六、申請專利範圍

1. 一種信號接收器，用以透過差動外部輸入端接收一差動輸入信號對，其包括：

一正回授差動放大器，其具有差動輸入端和差動輸出端；

一耦合電路，耦接於上述差動外部輸入端、上述差動輸入端和上述差動輸出端之間，用以耦合上述差動外部輸入端上之上述差動輸入信號至上述差動輸入端；

一預充電裝置，用以預充電上述差動輸入端至一既定電壓；在第一時間點之前，上述差動輸入端和上述差動外部輸入端中對應信號端點之間呈耦合狀態；在第一時間點之後，上述差動輸入信號對透過上述耦合電路進入上述正回授差動放大器之上述差動輸入端；在上述第一時間點之後既定期間的第二時間點上，啟動上述正回授差動放大器，用以放大進入之上述差動輸入信號對並且輸出至上述差動輸出端。

2. 如申請專利範圍第1項所述之信號接收器，其中上述耦合電路包含第一耦合電路和第二耦合電路，上述第一耦合電路包括：

第一電晶體，為第一型電晶體；以及

第二電晶體，為第二型電晶體；上述第一電晶體和上述第二電晶體之間極耦接並連接至上述差動輸出端之第一信號端點；上述第一電晶體和上述第二電晶體之源極耦接並連接至上述差動輸入端之第一信號端點；上述第一電晶體之汲極為上述差動外部輸入端之第一信號端點；



## 六、申請專利範圍

上述第二耦合電路包括：

第三電晶體，為第一型電晶體；以及

第四電晶體，為第二型電晶體；上述第三電晶體和上述第四電晶體之間極耦接並連接至上述差動輸出端之第二信號端點；上述第三電晶體和上述第四電晶體之源極耦接並連接至上述差動輸入端之第二信號端點；上述第三電晶體之汲極為上述差動外部輸入端之第二信號端點。

3. 如申請專利範圍第2項所述之信號接收器，其中上述第一型電晶體為PMOS電晶體，上述第二型電晶體為NMOS電晶體，上述第二電晶體和上述第四電晶體之汲極接地。

4. 如申請專利範圍第2項所述之信號接收器，其中上述第一型電晶體為PMOS電晶體，上述第二型電晶體為NMOS電晶體，上述第二電晶體和上述第四電晶體之汲極連接一高電壓。

5. 如申請專利範圍第1項所述之信號接收器，其中上述耦合電路包含第一耦合電路和第二耦合電路，上述第一耦合電路包括：

第一電容器，其一端耦接至上述差動外部輸入端之第一信號端點；以及

第五電晶體，其閘極連接至上述差動輸出端之第一信號端點，其汲極連接至上述第一電容器之另一端和上述差動輸入端之第一信號端點；

上述第二耦合電路包括：

第二電容器，其一端耦接至上述差動外部輸入端之第



#### 六、申請專利範圍

二信號端點；以及

第六電晶體，其閘極連接至上述差動輸出端之第二信號端點，其汲極連接至上述第二電容器之另一端和上述差動輸入端之第二信號端點。

6. 如申請專利範圍第5項所述之信號接收器，其中上述第五電晶體和上述第六電晶體為NMOS電晶體，其源極接地。

7. 如申請專利範圍第5項所述之信號接收器，其中上述第五電晶體和上述第六電晶體為PMOS電晶體，其源極連接一高電壓。

8. 如申請專利範圍第1或2或5項所述之信號接收器，其中上述預充電裝置包括：

第一本地控制電晶體，其閘極連接一第一控制信號，用以在第一時間點之前，預充電上述差動輸入端之第一信號端點至上述既定電壓，在第一時間點之後，關閉上述第一本地控制電晶體；以及

第二本地控制電晶體，其閘極連接上述第一控制信號，用以在第一時間點之前，預充電上述差動輸入端之第二信號端點至上述既定電壓，在第一時間點之後，關閉上述第二本地控制電晶體；

其中在第一時間點之前，上述差動外部輸入端係預充電至上述既定電壓；上述正回授差動放大器係受控於一第二控制信號，其用以定義上述第二時間點。

9. 如申請專利範圍第1或2項所述之信號接收器，其中



#### 六、申請專利範圍

上述預充電裝置包括：

一第三本地控制電晶體，其閘極連接一第二控制信號，其源極和汲極分別連接上述差動輸出端之第一信號端點和第二信號端點，該第二控制信號用以定義上述第二時間點。

10. 一種信號接收器，用以透過一外部輸入端接收一獨立輸入信號，其包括：

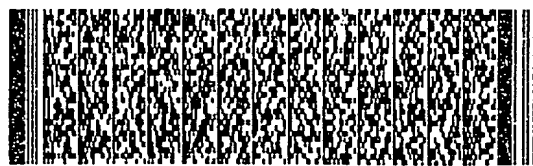
一正回授差動放大器，其具有差動輸入端和差動輸出端；

一耦合電路，耦接於上述外部輸入端、上述差動輸入端和上述差動輸出端之間，用以耦合上述外部輸入端上之上述獨立輸入信號至上述差動輸入端；

一預充電裝置，用以預充電上述差動輸入端至一既定電壓；在第一時間點之前，上述差動輸入端的對應信號端點與上述外部輸入端之間呈耦合狀態；在第一時間點之後，上述獨立輸入信號透過上述耦合電路進入上述正回授差動放大器之上述差動輸入端；在上述第一時間點之後既定期間的第二時間點上，啟動上述正回授差動放大器，用以放大進入之上述獨立輸入信號並且輸出至上述差動輸出端。

11. 如申請專利範圍第10項所述之信號接收器，其中上述耦合電路包含第一耦合電路和第二耦合電路，上述第一耦合電路包括：

第一電容器，其一端耦接至上述差動外部輸入端之第



#### 六、申請專利範圍

一信號端點，其中上述獨立輸入信號係透過上述差動外部輸入端之第一信號端點進入；以及

第一電晶體，其閘極連接至上述差動輸出端之第一信號端點，其汲極連接至上述第一電容器之另一端和上述差動輸入端之第一信號端點；

上述第二耦合電路包括：

第二電容器，其一端耦接至上述差動外部輸入端之第二信號端點，其連接於一既定電壓；以及

第二電晶體，其閘極連接至上述差動輸出端之第二信號端點，其汲極連接至上述第二電容器之另一端和上述差動輸入端之第二信號端點。

12. 如申請專利範圍第11項所述之信號接收器，其中上述第一電晶體和上述第二電晶體為NMOS電晶體，其源極接地。

13. 如申請專利範圍第11項所述之信號接收器，其中上述第一電晶體和上述第二電晶體為PMOS電晶體，其源極連接一高電壓。

14. 如申請專利範圍第10或11項所述之信號接收器，其中上述預充電裝置包括：

第一本地控制電晶體，其閘極連接一第一控制信號，用以在第一時間點之前，預充電上述差動輸入端之第一信號端點至上述既定電壓，在第一時間點之後，關閉上述第一本地控制電晶體；以及

第二本地控制電晶體，其閘極連接上述第一控制信



#### 六、申請專利範圍

號，用以在第一時間點之前，預充電上述差動輸入端之第二信號端點至上述既定電壓，在第一時間點之後，關閉上述第二本地控制電晶體；

其中在第一時間點之前，上述差動外部輸入端係預充電至上述既定電壓；上述正回授差動放大器係受控於一第二控制信號，其用以定義上述第二時間點。

15. 一種信號傳送器，用以透過差動外部輸出端傳送一差動輸入信號對至傳輸線，其包括：

一電晶體控制電路，受控於一第一控制信號，上述第一控制信號用以定義一第一時間點，用以在第一時間點之前，透過上述差動外部輸出端將上述傳輸線預充電至一既定電壓，在第一時間點之後，則等效地傳送上述差動輸入信號對至上述傳輸線。

16. 如申請專利範圍第15項所述之信號傳送器，其中上述電晶體控制電路包括：

一差動電路，耦接於上述差動外部輸出端，受控於上述第一控制信號，其中上述差動電路包含一動態負載，上述動態負載受控制於上述第一控制信號，並且與上述差動電路呈相反操作動作，用以將上述傳輸線預充電至一既定電壓。

17. 如申請專利範圍第15項所述之信號傳送器，其中上述電晶體控制電路包括：

一差動電路，耦接於上述差動外部輸出端，受控於上述第一控制信號，其中上述差動電路包含一固定負載，用





#### 六、申請專利範圍

以將上述傳輸線預充電至一既定電壓。

18. 如申請專利範圍第15項所述之信號傳送器，其中上述電晶體控制電路係包括：

一第一邏輯閘，其輸入端連接上述第一控制信號和上述差動輸入信號對之第一信號，其輸出端連接上述差動外部輸出端之第一信號端點，用以在第一時間點之前，透過上述差動外部輸出端之第一信號端點，將對應之上述傳輸線預充電至上述既定電壓，在第一時間點之後，則等效地傳送上述差動輸入信號對之第一信號至對應之上述傳輸線；以及

一第二邏輯閘，其輸入端連接上述第一控制信號和上述差動輸入信號對之第二信號，其輸出端連接上述差動外部輸出端之第二信號端點，用以在第一時間點之前，透過上述差動外部輸出端之第二信號端點，將對應之上述傳輸線預充電至上述既定電壓，在第一時間點之後，則等效地傳送上述差動輸入信號對之第二信號至對應之上述傳輸線；

19. 如申請專利範圍第18項所述之信號傳送器，其中上述第一邏輯閘和上述第二邏輯閘為NAND閘。

20. 如申請專利範圍第18項所述之信號傳送器，其中上述第一邏輯閘和上述第二邏輯閘為NOR閘。

21. 如申請專利範圍第15項所述之信號傳送器，其中上述電晶體控制電路在第一時間點之後的一既定期間內，等效地切斷上述差動輸入信號對至上述傳輸線的傳送路



六、申請專利範圍

徑。

22. 如申請專利範圍第21項所述之信號傳送器，其中上述電晶體控制電路包括：

一第一差動電路，其輸入端連接上述第一控制信號和上述差動外部輸出端，其輸出端則產生一回授信號對；以及

一第二差動電路，其輸入端連接上述第一控制信號、上述差動輸入信號對和上述回授信號對，其輸出端連接上述差動外部輸入端。

23. 如申請專利範圍第21項所述之信號傳送器，其中上述電晶體控制電路包括：

一第一邏輯閘，其輸入端連接上述第一控制信號、上述差動輸入信號對之第一信號和一第一回授信號，其輸出端連接上述差動外部輸出端之第一信號端點；

一第二邏輯閘，其輸入端連接上述第一控制信號、上述差動輸入信號對之第二信號和一第二回授信號，其輸出端連接上述差動外部輸出端之第二信號端點；

一第三邏輯閘，其輸入端連接上述第一控制信號和上述差動外部輸出端之第一信號端點，其輸出端產生上述第一回授信號；以及

一第四邏輯閘，其輸入端連接上述第一控制信號和上述差動外部輸出端之第二信號端點，其輸出端產生上述第二回授信號。

24. 如申請專利範圍第23項所述之信號傳送器，其中



#### 六、申請專利範圍

上述第一邏輯閘、第二邏輯閘、第三邏輯閘和第四邏輯閘為NAND閘。

25. 一種信號傳輸架構，可置於一晶片內，其包含以傳輸線連接之一信號傳送器和一信號接收器，上述信號傳送器透過其差動外部輸出端傳送一差動輸入信號對至傳輸線，上述信號接收器透過其差動外部輸入端接收上述差動輸入信號對，其中上述信號傳送器包括：

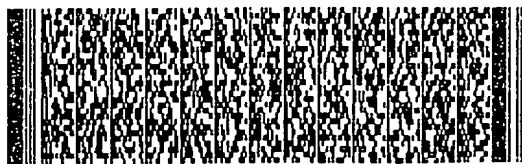
一電晶體控制電路，受控於一第一控制信號，上述第一控制信號用以定義一第一時間點，用以在第一時間點之前，透過上述差動外部輸出端將上述傳輸線預充電至一既定電壓，在第一時間點之後，則等效地傳送上述差動輸入信號對至上述傳輸線；

上述信號接收器包括：

一正回授差動放大器，其具有差動輸入端和差動輸出端；

一耦合電路，耦接於上述差動外部輸入端、上述差動輸入端和上述差動輸出端之間，用以耦合上述差動外部輸入端上之上述差動輸入信號對至上述差動輸入端；

一預充電裝置，用以預充電上述差動輸入端至上述既定電壓；在上述第一時間點之前，上述差動輸入端和上述差動外部輸入端中對應信號端點之間呈耦合狀態；在第一時間點之後，上述差動輸入信號對透過上述耦合電路進入上述正回授差動放大器之上述差動輸入端；在上述第一時間點之後既定期間的第二時間點上，啟動上述正回授差動

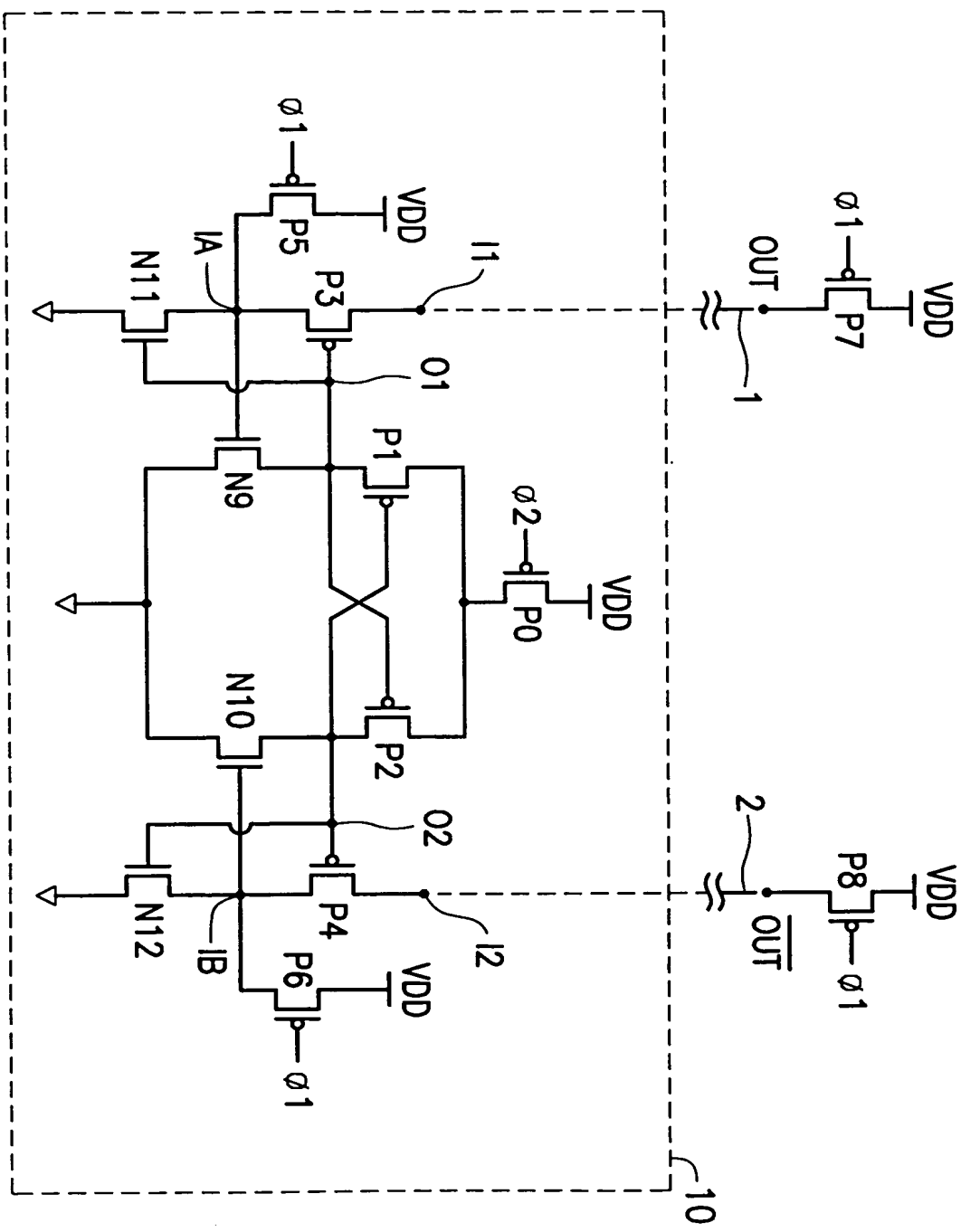


#### 六、申請專利範圍

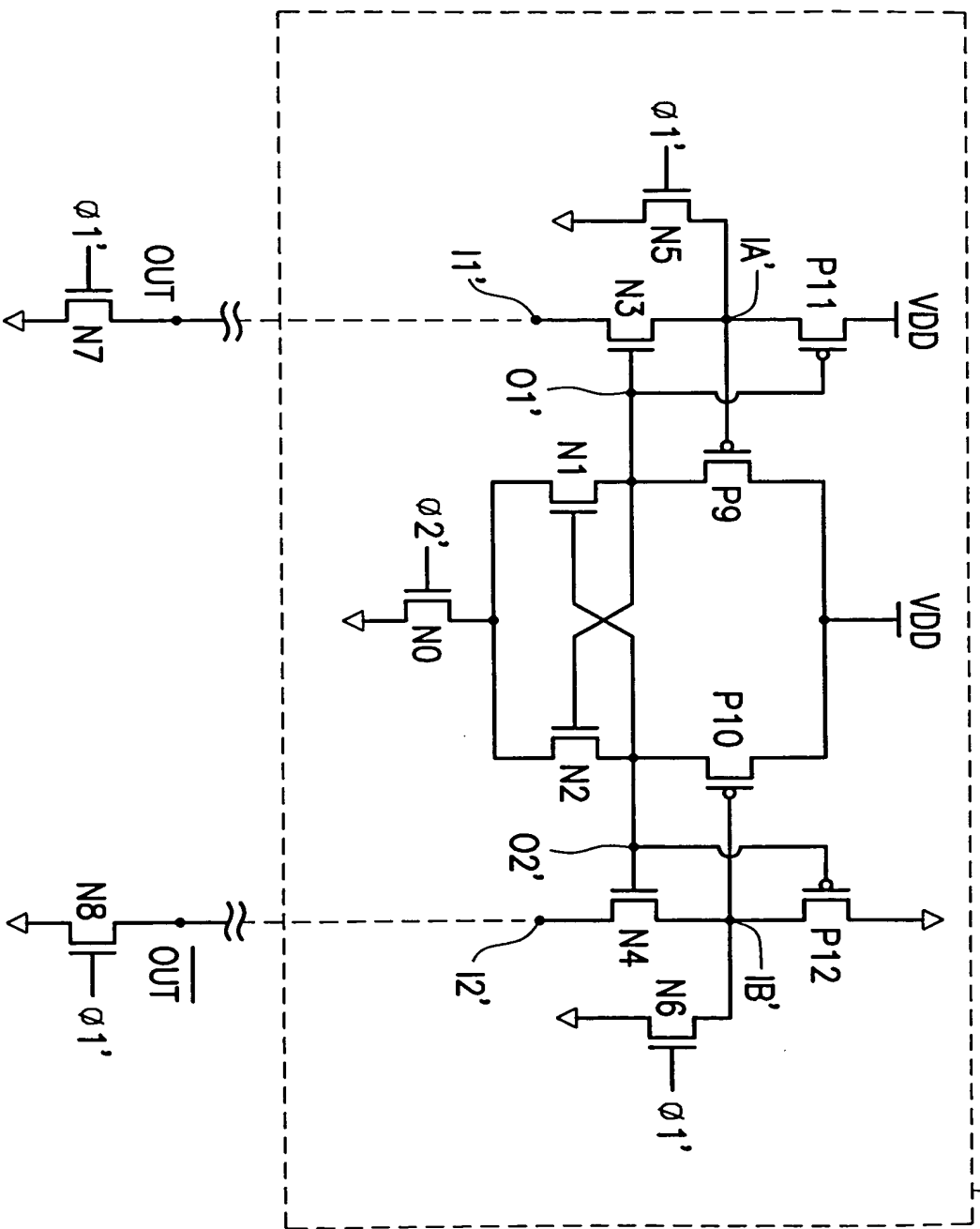
放大器，用以放大進入之上述差動輸入信號對並且輸出至上述差動輸出端。

26. 如申請專利範圍第25項所述之信號傳輸架構，其中上述電晶體控制電路在第一時間點之後的一既定期間內，等效地切斷上述差動輸入信號對至上述傳輸線的傳送路徑。

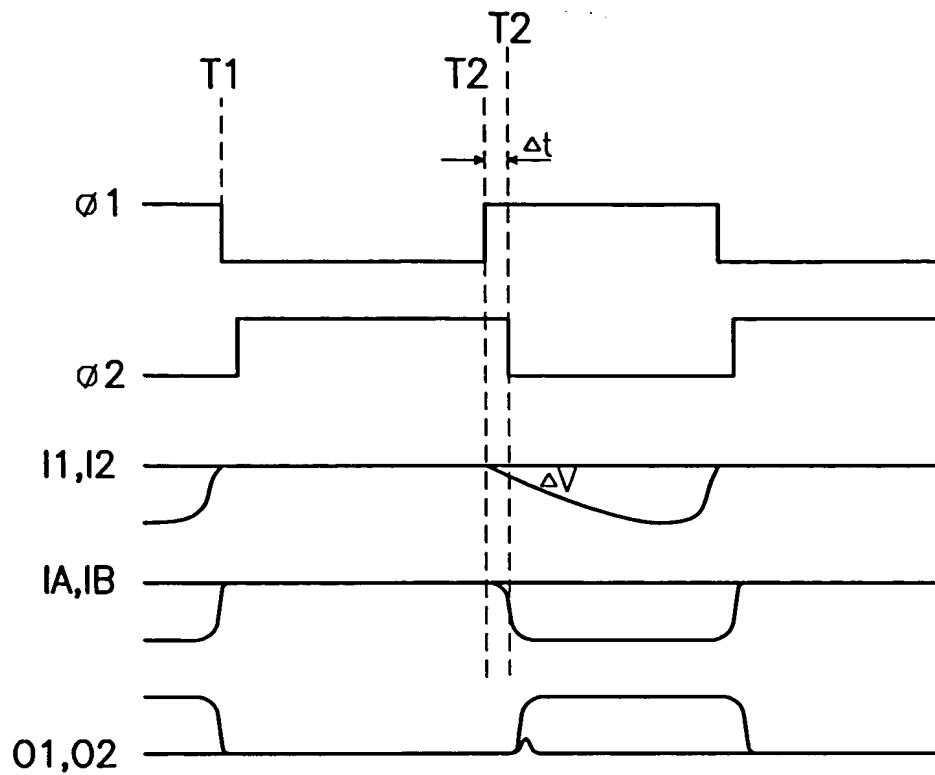




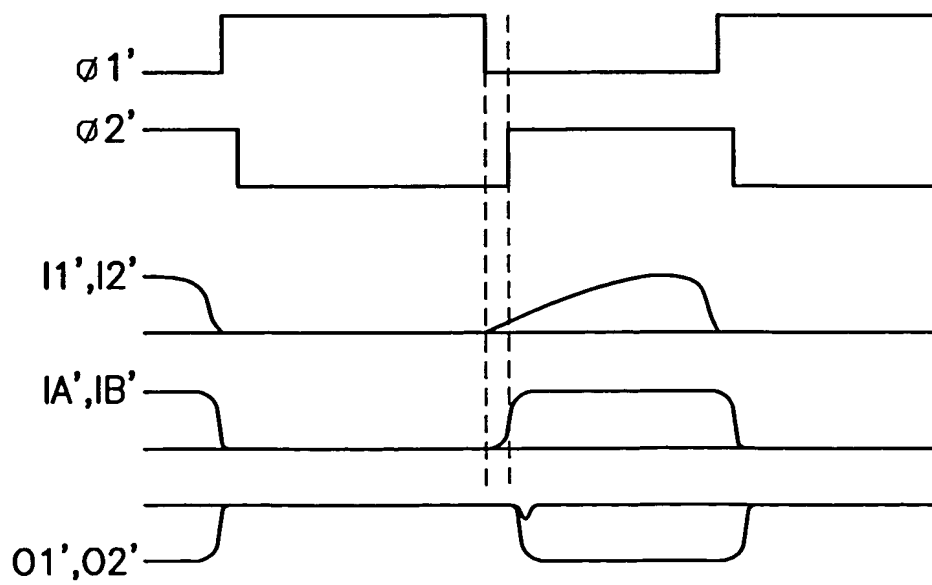
第 1 圖



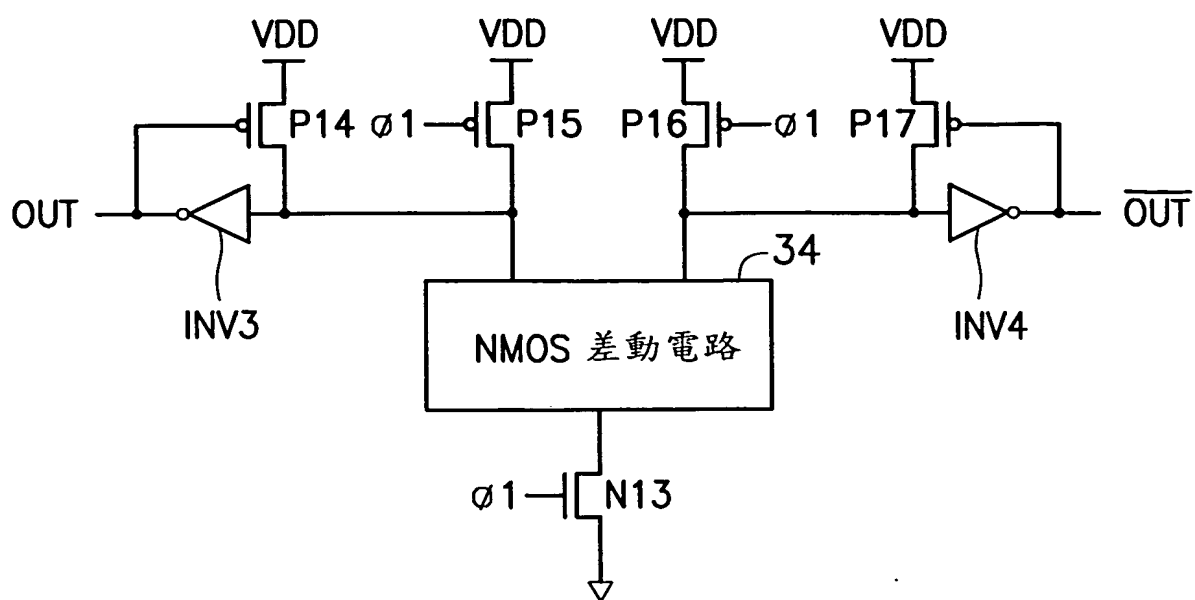
第 2 圖



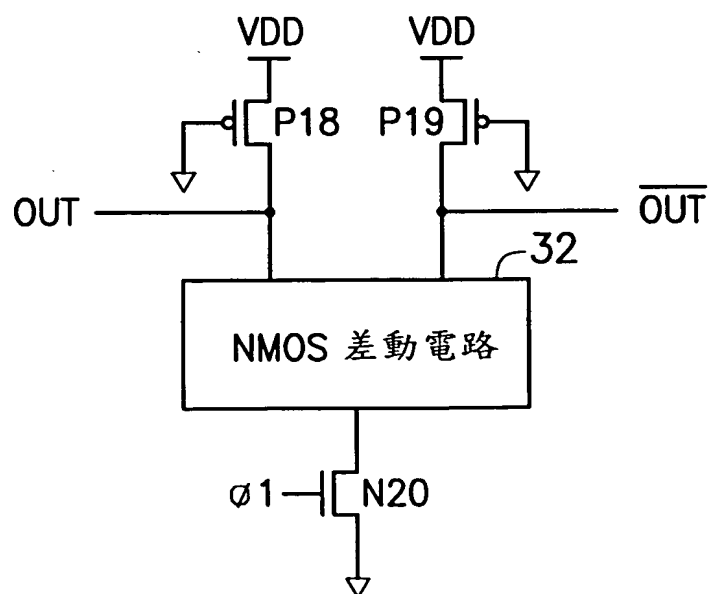
第 3 圖



第 4 圖

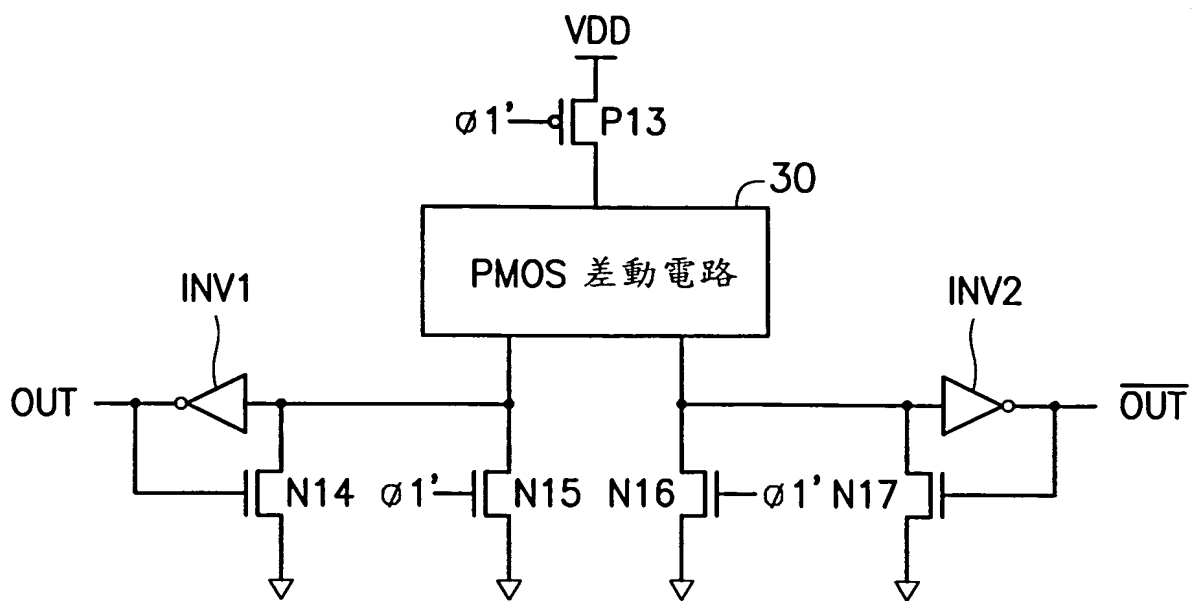


第 5a 圖

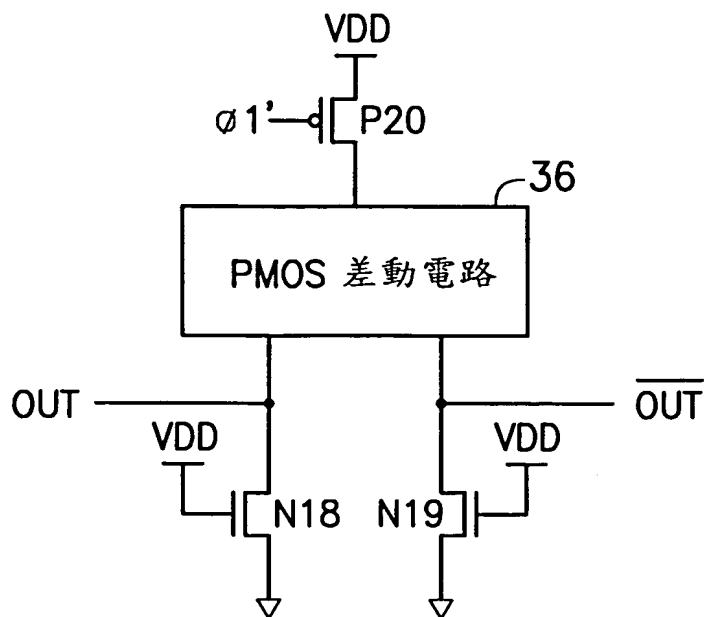


第 5b 圖

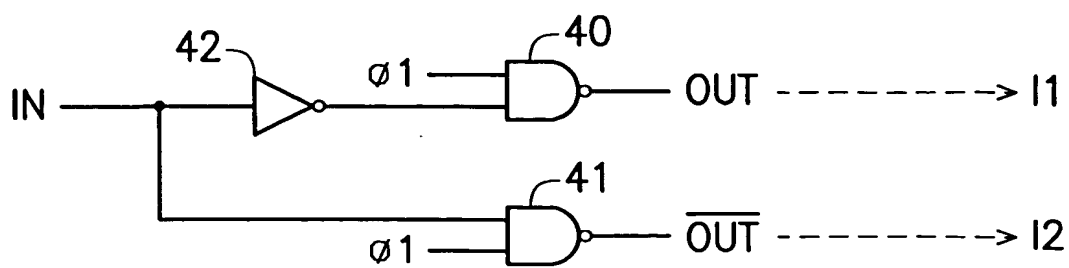




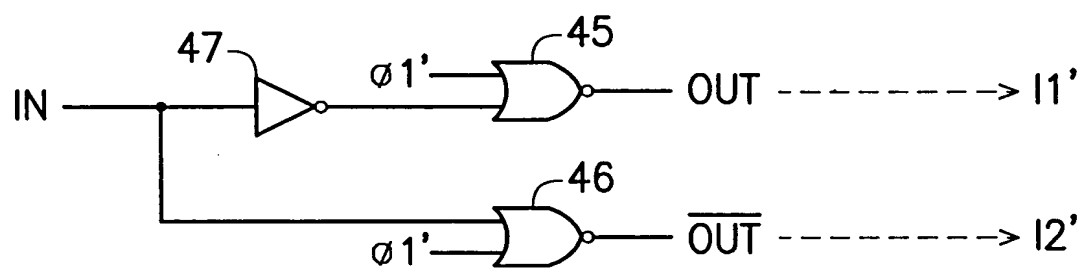
第 5c 圖



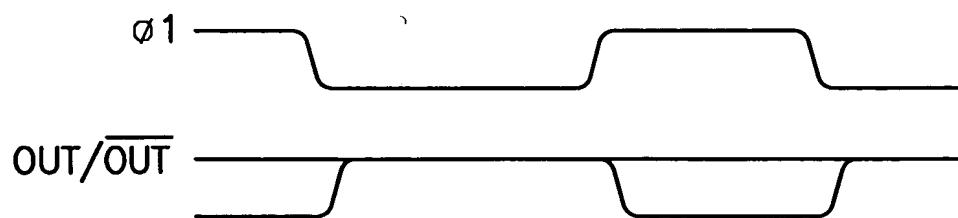
第 5d 圖



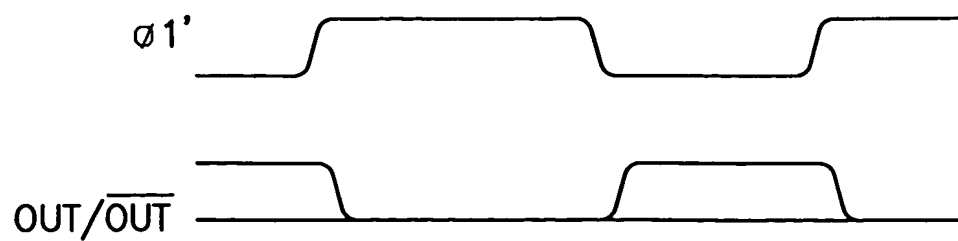
第 6a 圖



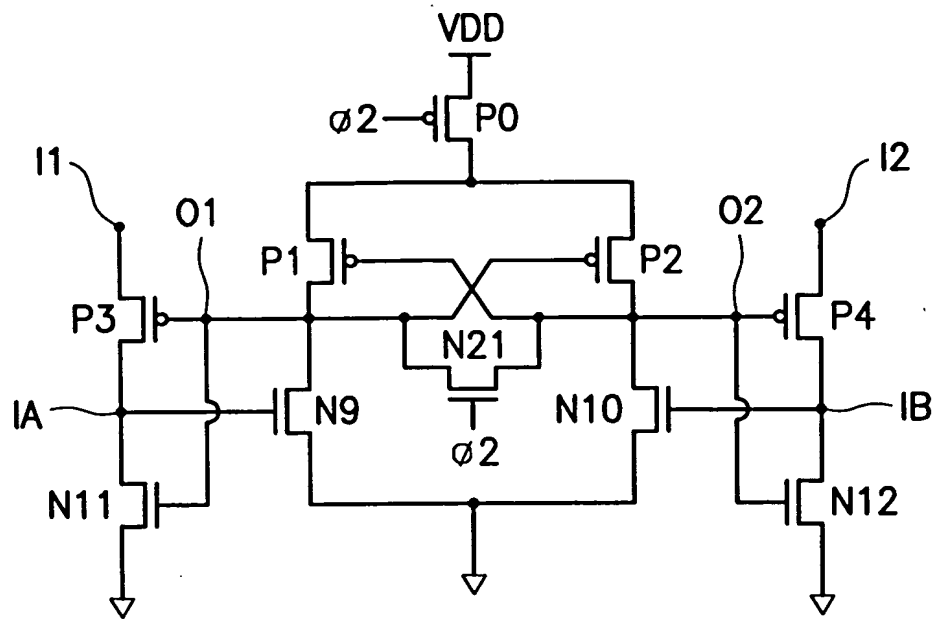
第 6b 圖



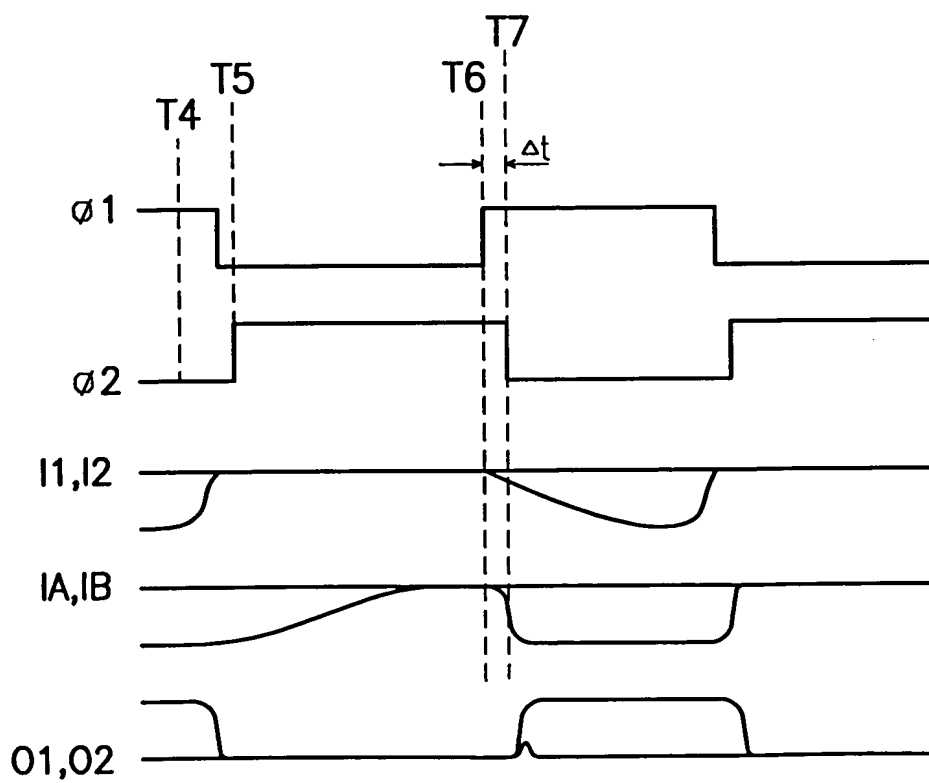
第 6c 圖



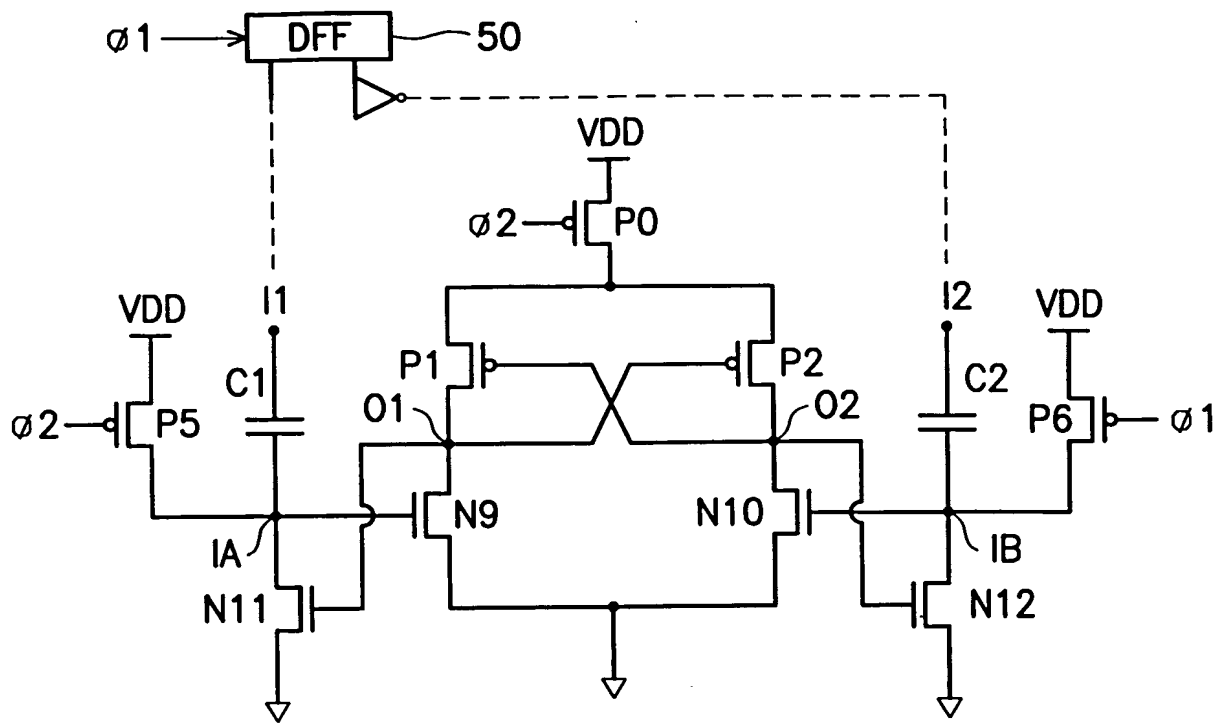
第 6d 圖



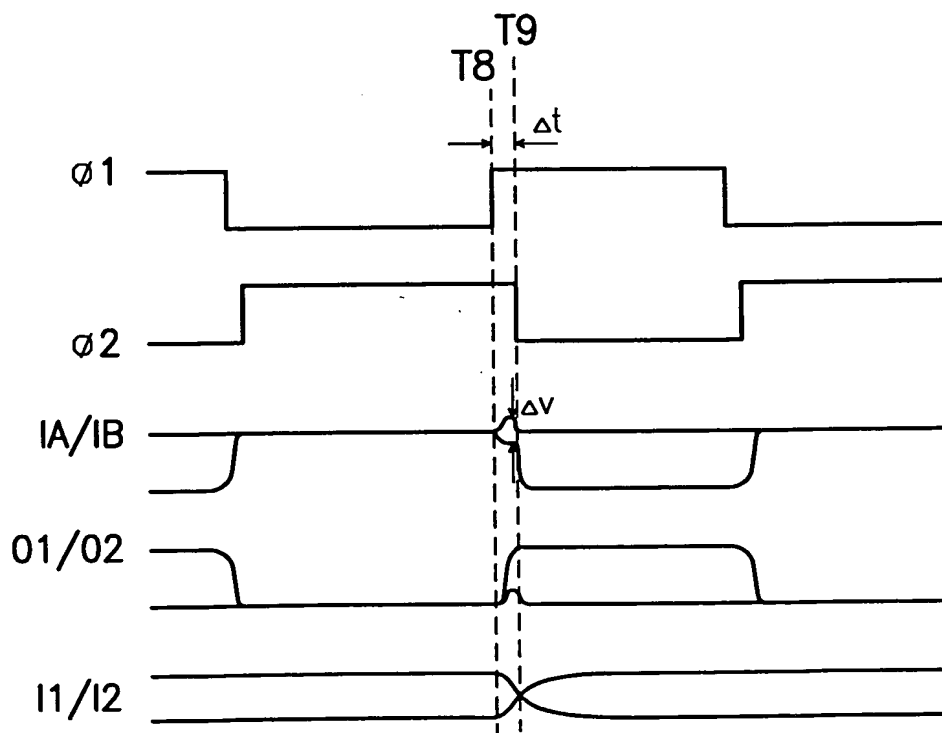
第7a圖



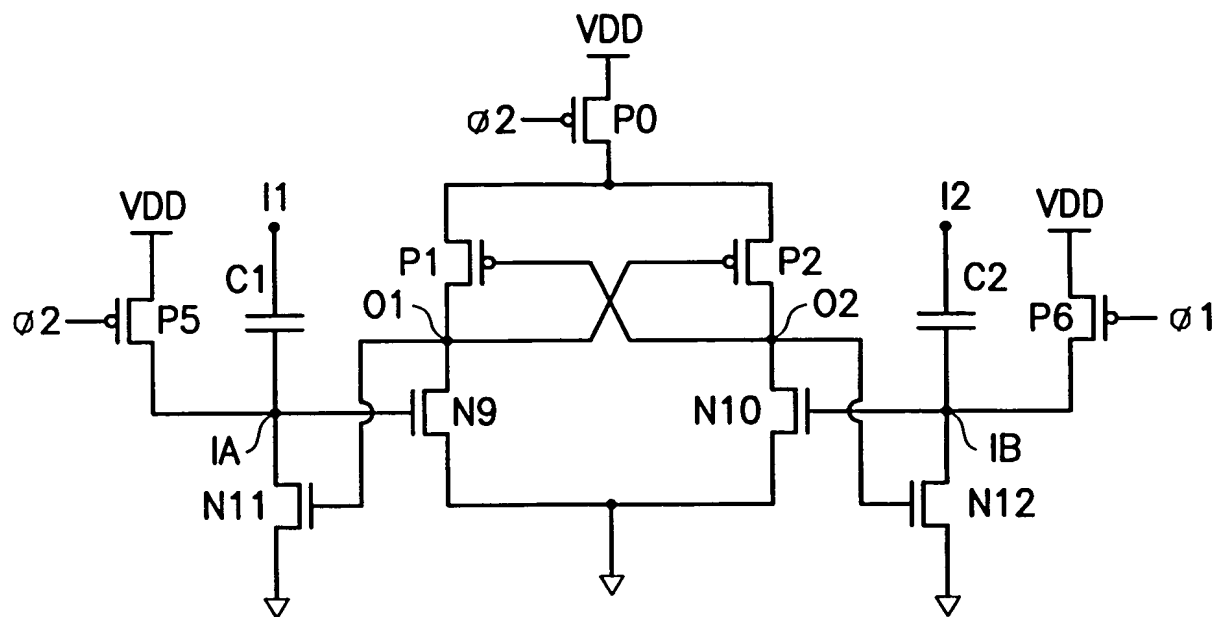
第7b圖



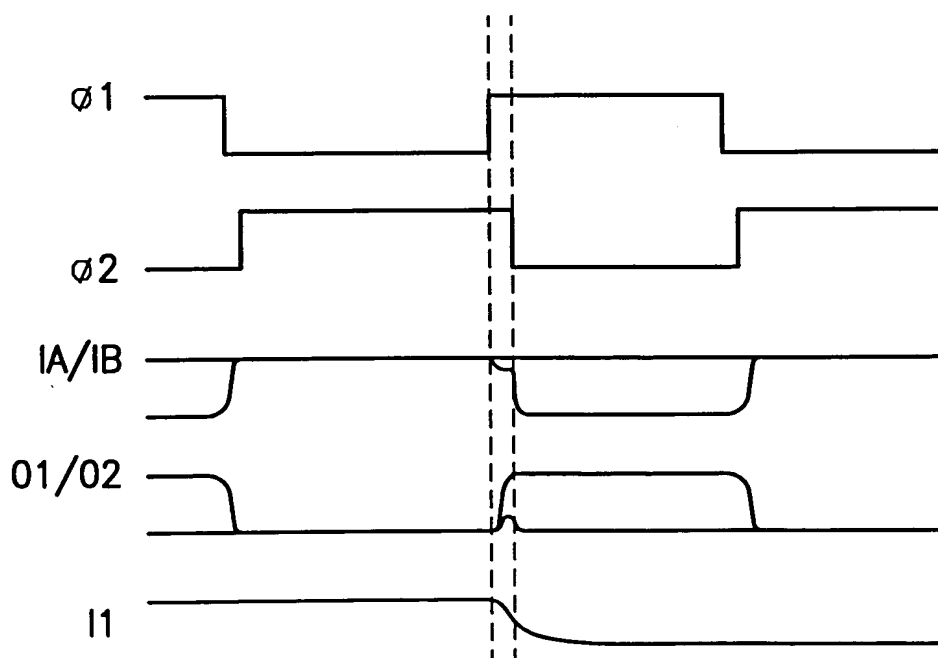
第 8a 圖



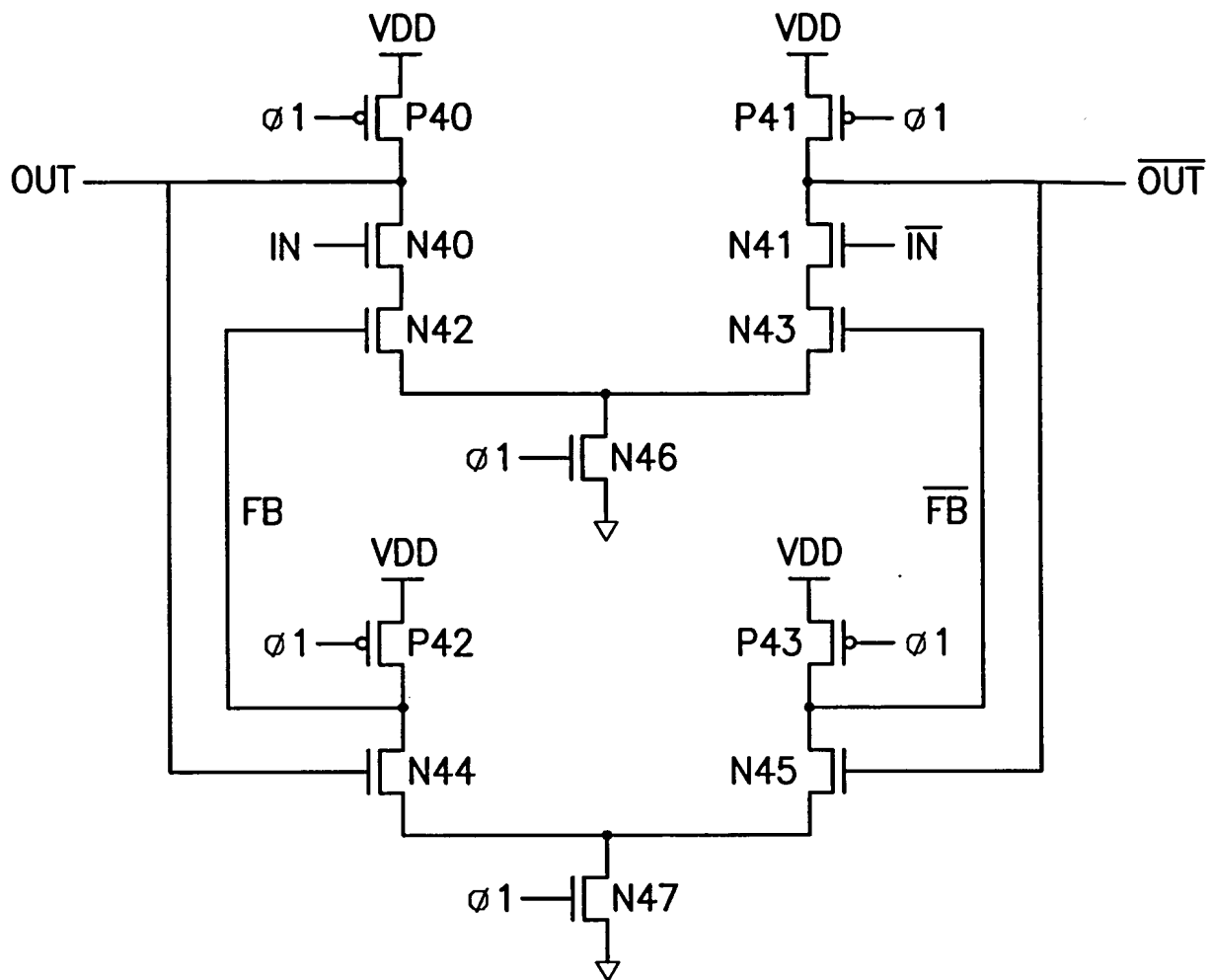
第 8b 圖



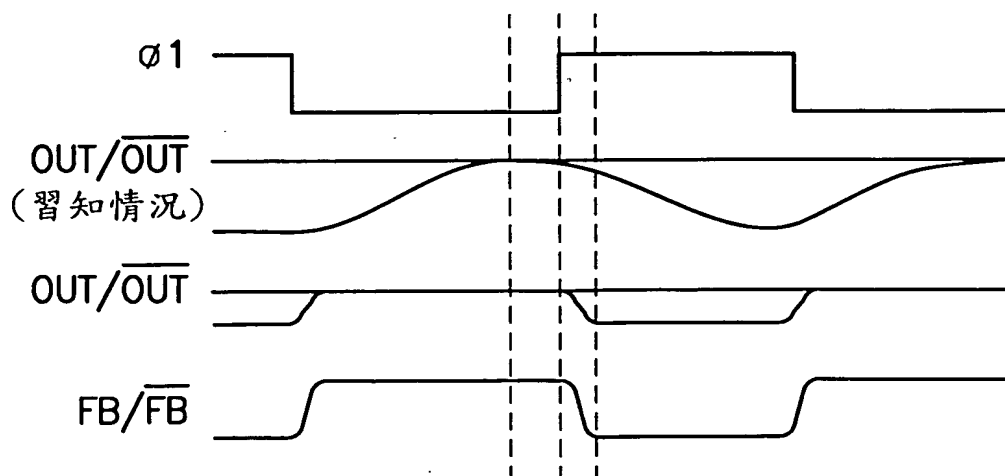
第 9a 圖



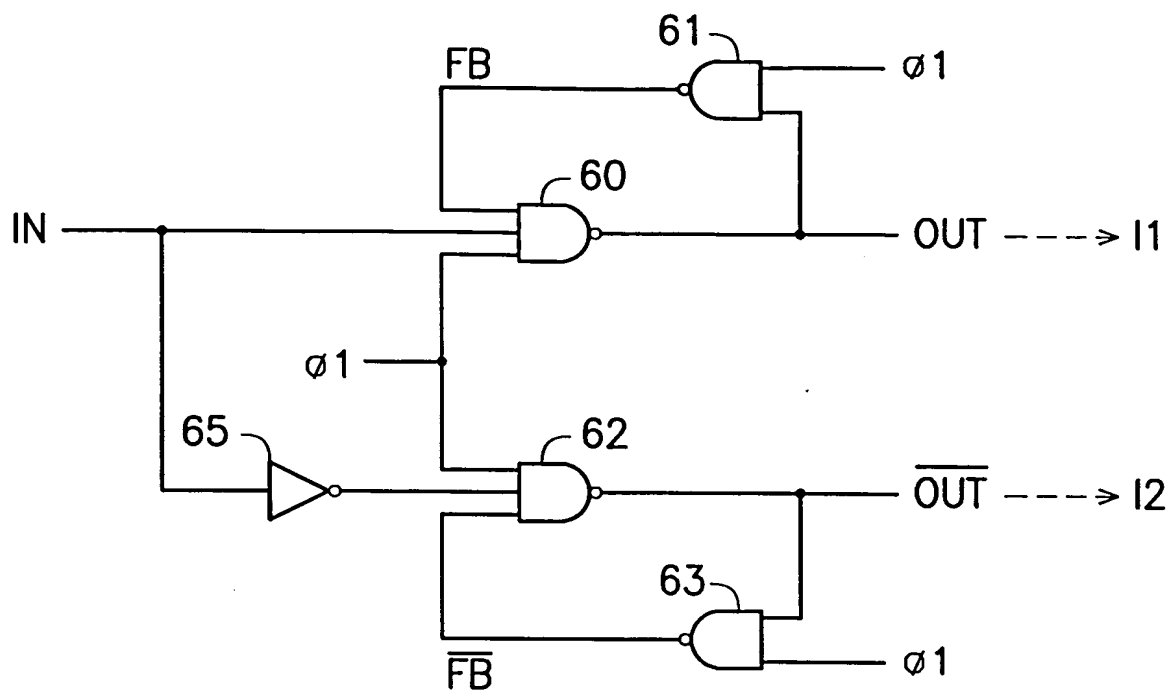
第 9b 圖



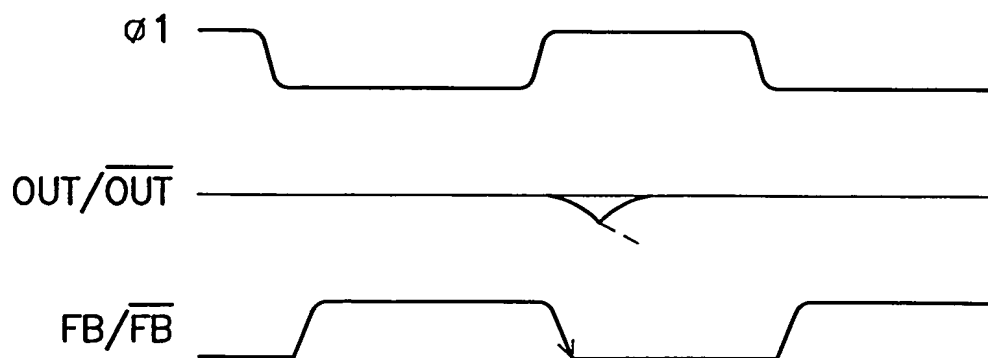
第10a圖



第10b圖



第11a圖



第11b圖

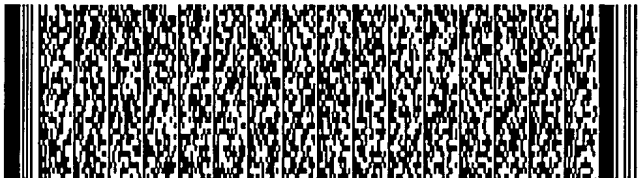
第 1/42 頁



第 2/42 頁



第 4/42 頁



第 4/42 頁



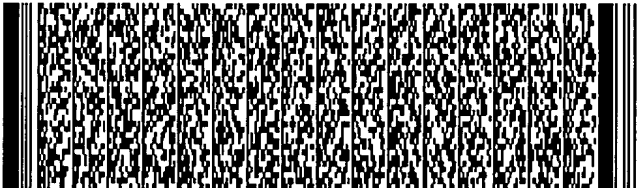
第 5/42 頁



第 5/42 頁



第 6/42 頁



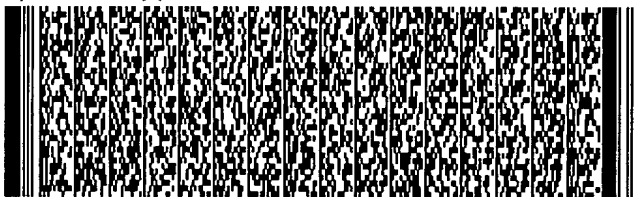
第 7/42 頁



第 7/42 頁



第 8/42 頁



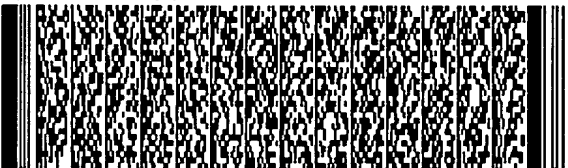
第 9/42 頁



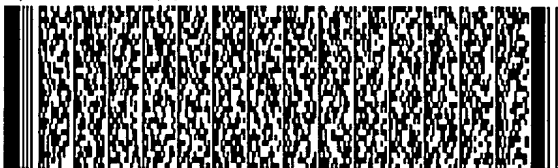
第 9/42 頁



第 10/42 頁



第 10/42 頁



第 11/42 頁

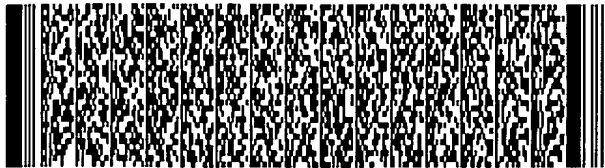


第 12/42 頁





第 12/42 頁



第 13/42 頁



第 13/42 頁



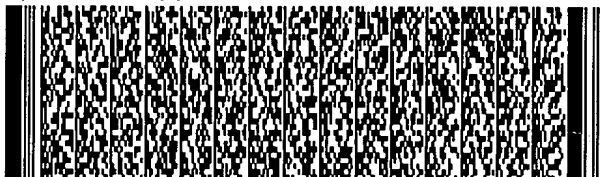
第 14/42 頁



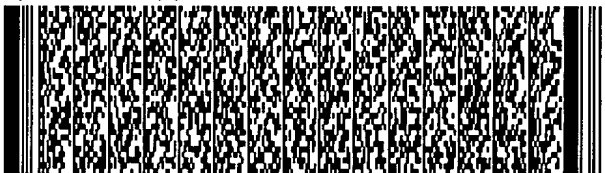
第 14/42 頁



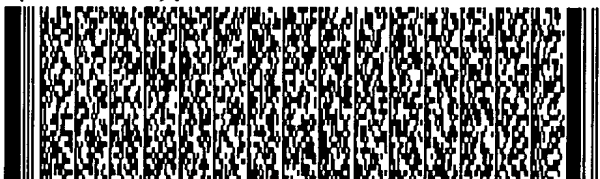
第 15/42 頁



第 15/42 頁



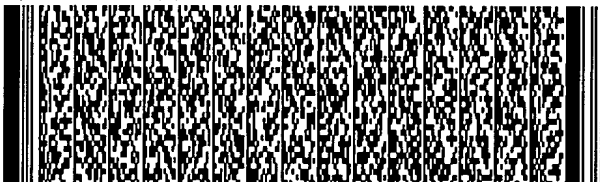
第 16/42 頁



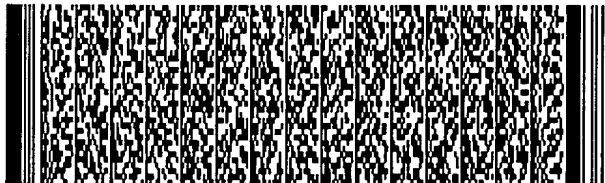
第 16/42 頁



第 17/42 頁



第 17/42 頁



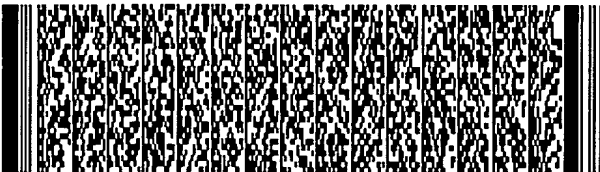
第 18/42 頁



第 18/42 頁



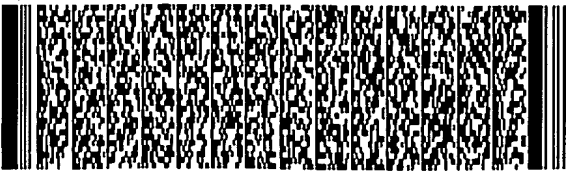
第 19/42 頁



第 19/42 頁



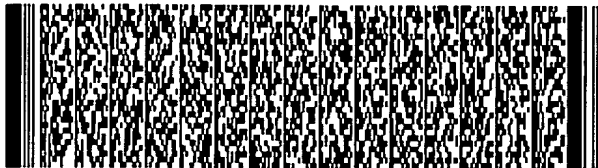
第 20/42 頁



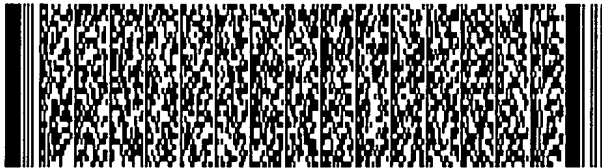
第 20/42 頁



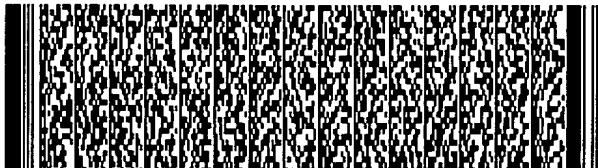
第 21/42 頁



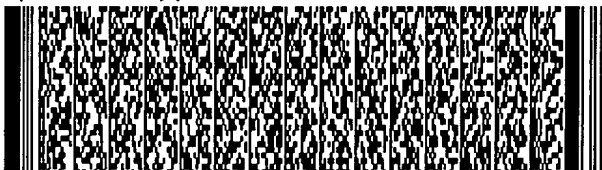
第 21/42 頁



第 22/42 頁



第 22/42 頁



第 23/42 頁



第 23/42 頁



第 24/42 頁



第 24/42 頁



第 25/42 頁



第 25/42 頁



第 26/42 頁



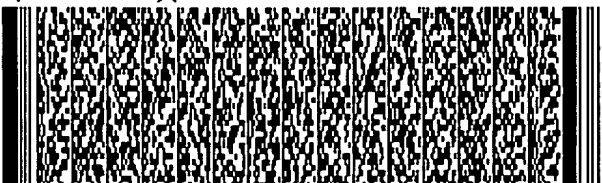
第 26/42 頁



第 27/42 頁



第 27/42 頁



第 28/42 頁



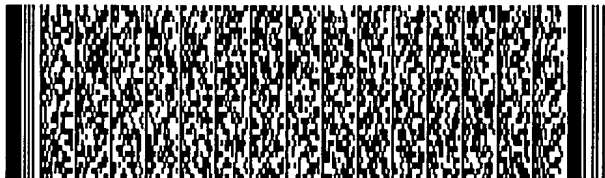
第 28/42 頁



第 29/42 頁



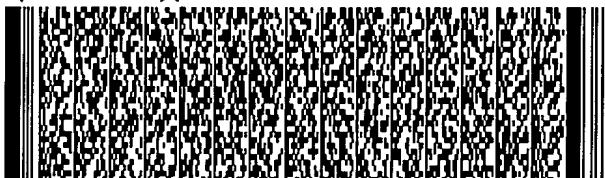
第 29/42 頁



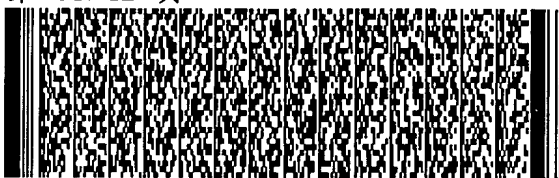
第 30/42 頁



第 30/42 頁



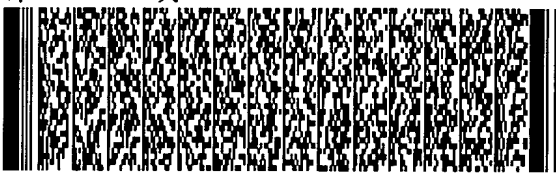
第 31/42 頁



第 31/42 頁



第 32/42 頁



第 32/42 頁



第 33/42 頁



第 33/42 頁



第 34/42 頁



第 35/42 頁



第 36/42 頁



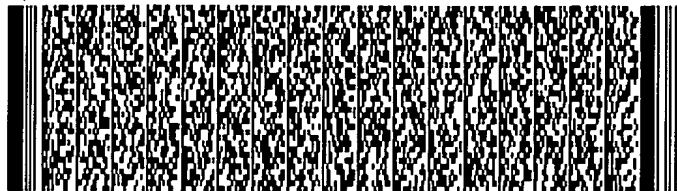
第 36/42 頁



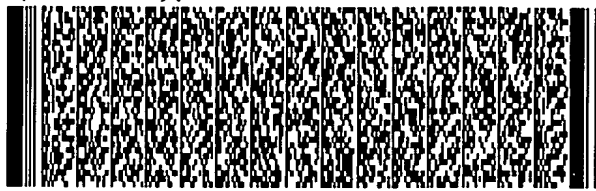
第 37/42 頁



第 38/42 頁



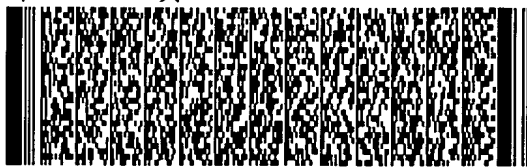
第 39/42 頁



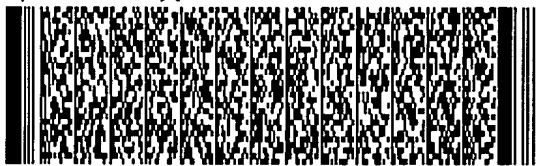
第 40/42 頁



第 41/42 頁



第 41/42 頁



第 42/42 頁

